



EPCIO-4000/4005

硬體使用手冊

版本：V.3.1.4

日期：2009.04

<http://www.epcio.com.tw>



目 錄

第 1 章 概論	3
1.1 功能介紹	3
1.2 功能特色	4
1.3 軟體支援	5
1.4 連接示意圖及說明	6
1.5 系統方塊圖	7
1.5.1 四軸同動/不同動開迴路(Pulse)輸出控制	8
1.5.2 四軸同動/不同動閉迴路電壓(Velocity)輸出控制	12
1.5.3 近端數位輸出入	13
1.5.4 遠端數位輸出入	13
1.5.5 類比轉數位轉換器 (6 組 ADC)	13
1.5.6 數位轉類比轉換器 (4 組 DAC)	14
第 2 章 規格	15
2.1 系統架構	15
2.2 運動控制規格	16
2.2.1. 開迴路脈波(Pulse)輸出控制	16
2.2.2. 閉迴路電壓(Velocity)輸出控制	19
2.3. 數位轉類比轉換器	21
2.4. 編碼器輸入規格	22
2.5. 近端數位輸出入點	24
2.6 遠端數位輸出入點	26
2.7 類比轉數位轉換器	28
2.8 計時器(Timer)及看門狗計時器(Watchdog Timer).....	30
第 3 章 硬體安裝及使用說明	31
3.1 系統基本安裝步驟	31
3.2 硬體板面配置及各接頭定義	32
3.2.1 硬體板面配置	32
3.2.2 板面各接頭定義	33
3.3 接線說明	38
3.3.1 四軸同動/不同動電壓輸出閉迴路控制	38
3.3.2 四軸同動/不同動脈波輸出控制	39



3.3.3	近端輸出入點配接	41
3.3.4	遠端輸出入(RIO)配接線	49
3.3.5	類比轉數位(ADC)配線及說明	51
3.3.6	手輪(MPG)配線及說明	54
附錄		57
Revision History		57



第 1 章 概論

1.1 功能介紹

EPCIO-4000/4005 PCI 系列四軸運動控制卡應用工研院機械所開發之 EPCIO ASIC，以 DDA(Digital Differential Analyzer)方式均勻送出各軸脈波移動量，實現四軸定位及同動控制。在脈波輸出控制時，亦可藉由編碼器輸入端讀回馬達編碼器值，適用於脈波型伺服馬達或步進馬達控制。(註 1)

本卡硬體閉迴路控制迴路，採用 P 控制法則，以-10V 至 10V 之電壓輸出訊號驅動速度型伺服馬達，可應用於多軸精密伺服控制(註 2)。在每一軸控制中皆有一組 sensor 輸入點，包括了 Home 點、上行程極限點及下行程極限點，另外尚有伺服致能(Servo ON)信號輸出點、Position Ready 輸出點及 Emergency Stop 輸入點。

在其它輸出入點部份，使用了省配線化 IO 設計，最大可擴充至 128 點輸入點及 128 點輸出點(EPCIO-4005 為 64 點輸入 64 點輸出)；另外 EPCIO-4000 卡尚可選配一組 6 channel 之 A/D 轉換器，EPCIO-4005 無此項功能。

註 1；DDA 請參考[Fig.1-3](#)，[Fig.1-4](#)

註 2；P 控制法請參考[Fig.1-8](#)



1.2 功能特色

- 32-bits PCI 界面
- 4 組閉迴路控制或開迴路控制
- 4 組 16-bit D/A轉換器 (EPCIO-4005 無此功能)
- 5 組 32-bit 編碼器輸入端
- 13 點專用數位輸入點及 5 點專用數位輸出點
- 6 個 12-bit A/D轉換輸入點 (EPCIO-4000 為選配功能;EPCIO-4005 無此功能)
- 256 點遠端串列傳輸數位輸出入點介面 (EPCIO-4005 只有 128 點)
- 內建 24-bit 計時器(Timer)
- 內建 16-bit 看門狗計時器(Watch Dog Timer)
- 選用表

	開迴路控制	閉迴路控制	編碼器輸入端	DAC	ADC	LIO	RIO	計時器	看門狗計時器
EPCIO-4000	4	4	5	4	6	13In 5Out	128In 128Out	Yes	Yes
EPCIO-4005	4	X	5	X	X	13In 5Out	64In 64Out	Yes	Yes

Note.

DAC：數位類比轉換器

ADC：類比數位轉換器

LIO：近端輸出入點

RIO：遠端輸出入點(需外接遠端 IO 控制子板 EDIO-S001 或 S002 或 S003)



1.3 軟體支援

- EPCIO Series 驅動函式庫(EDDL)
共有超過 150 個函式可供使用者呼叫，詳情請參閱”EPCIO Series 驅動函式庫使用手冊”及”EPCIO Series 驅動函式庫參考手冊”

- EPCIO Series 運動控制函式庫(MCCL)
提供 2D 及 3D 點對點、直線、圓弧、圓、螺線等運動控制功能，並提供使用者設定機構及運動特性等參數，共有超過 250 個函式可供呼叫，詳情請參閱”EPCIO Series 運動控制函式庫使用手冊”及”EPCIO Series 運動控制函式庫參考手冊”

1.4 連接示意圖及說明

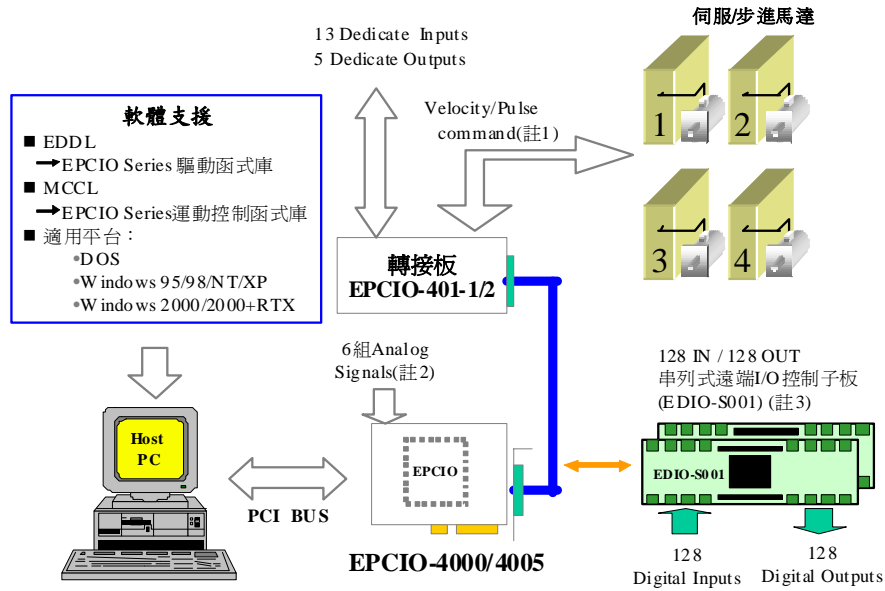


Fig.1-1

註 1: EPCIO-4005 只送出 pulse command

註 2: EPCIO-4000 之 ADC 為選配，4005 無 ADC

註 3: EPCIO-4005 只能接一片 EDIO-S00X，計 64IN/64OUT

EDIO-S00X 表 EDIO-S001, EDIO-S002 或 EDIO-S003

註 4: 可選用之轉接板

EPCIO-400-1 → 萬用轉接板

EPCIO-400-2 → Panasonic MINAS 系列伺服馬達專用轉接板

1.5 系統方塊圖

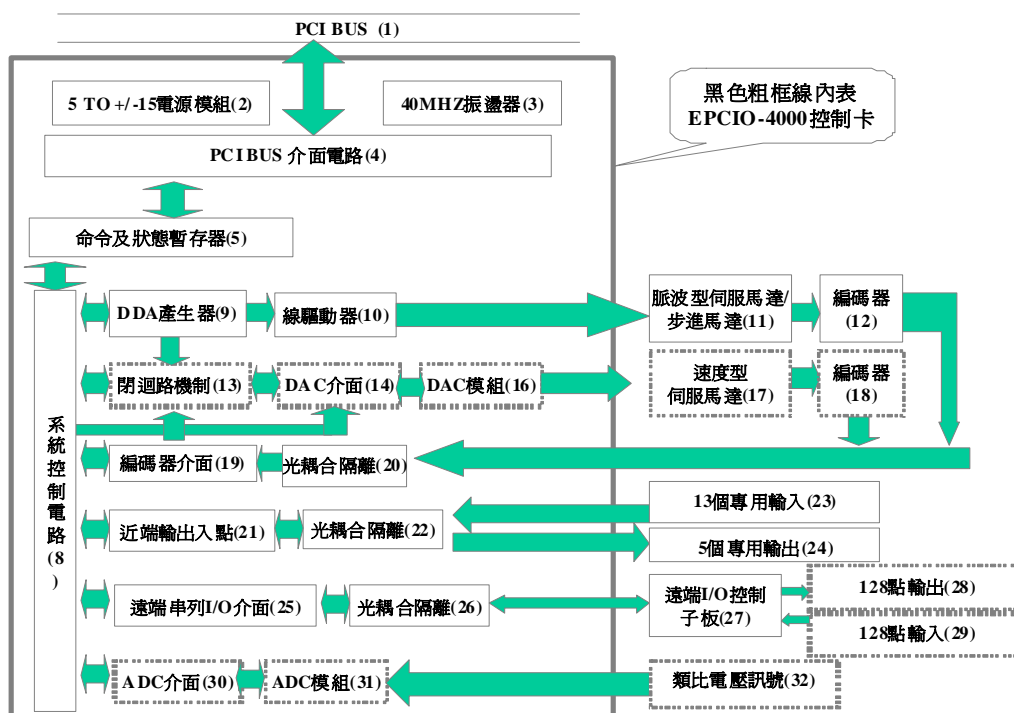


Fig.1-2

說明: Fig 1-2 虛線說明:

- ◆ 方塊 (13), (14), (16), (17), (18), (30), (31), (32), 在 EPCIO-4005 上因為沒有硬體閉迴路及 ADC 電路, 所以不具備這些方塊功能; 另外 4000 之 ADC 亦為選配
- ◆ 方塊 (28), (29) 在 EPCIO-4005 上只有 64 點輸入及 64 點輸入

1.5.1 四軸同動/不同動開迴路(Pulse)輸出控制：

參考系統方塊圖[Fig1-2](#)，PC端藉由驅動程式或MCCL下達定位指令，並經由PCI BUS(1)傳至EPCIO-4000/4005 卡上之PCI BUS介面電路(4)，此時經由命令及狀態暫存器(5)及系統控制電路(8)解譯指令並驅動內部之DDA產生器(9)均勻送出脈波Pulse(可選擇為A/B Phase，CW/CCW，及Pulse/Direction等三種格式)，脈波再經由線驅動器(10)以Differential訊號型式送至外界馬達驅動器以驅動脈波型伺服馬達/步進馬達(11)，如有需要時馬達編碼器(12)訊號亦可經由光耦合隔離(20)進入編碼器介面(19)，再經由系統控制電路(8)放至命令及狀態暫存器(5)，供驅動程式讀取。

註 1: EPCIO-4000/4005 內部有四組運動控制核心機制，每組運動控制核心機制具有閉迴路電壓(速度命令)輸出控制或開迴路脈波(Pulse)輸出控制二種輸出控制模式，可任意設定成其中一種，**EPCIO-4005 僅具有開迴路脈波(Pulse)輸出控制**

註 2: 每組閉迴路電壓(速度命令)輸出控制配有一組 D/A 轉換器輸出及一組編碼輸入端，當閉迴路電壓輸出控制不使用時，則該組 D/A 轉換器及編碼器輸入端可空出來單獨使用。

註 3: 在這裏使用四組開迴路脈波輸出控制，因此閉迴路機制(13)不動作，所以四組 D/A 轉換器均可供 CPU 自由輸出訊號。 **EPCIO-4005 未開放此功能**

註 4: EPICO-4000/4005 上之四組編碼器輸入此時可獨立使用，可接四軸馬達編碼器或其他來源，如手輪

註 5: DDA產生器原理參考下圖[Fig.1-3](#)及[Fig.1-4](#)

- ❖ DDA: Digital Differential Analyzer
- ❖ 功能: DDA 產生器接受來自CPU之定位命令(即馬達所須轉動之編碼器格數)及執行該命令所需之時間(定義為DDA Cycle Time或稱為Interpolation Time),經解算後,DDA 產生器即可將所須轉動之格數在DDA Cycle Time 內以脈波型式均勻送出
- ❖ 說明一：參考下圖,若定位命令為正轉行走1000個編碼器格數(設馬達啓始位置為第0格),命令執行時間(DDA Cycle Time) 為0.5 Sec,則DDA 產生器在0.5Sec內可均勻送出1000個脈波(pulse),可使馬達均勻(即等速)轉動1000格

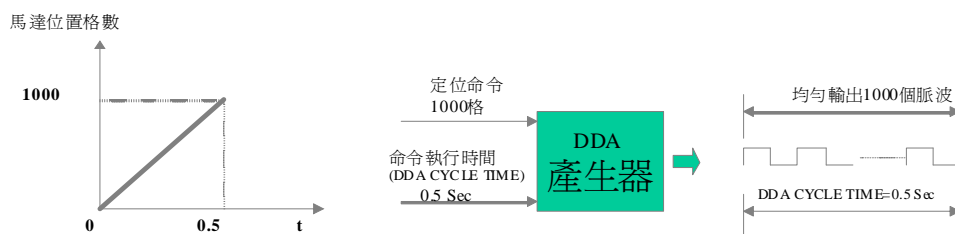


Fig.1-3

❖ 說明二

參考下圖,橫軸為時間,其中 Δt 為DDA CYCLE TIME 縱軸為馬達轉動格數

第一區間:馬達從第0格正轉等速走至第1000格,轉速為1000格/ Δt

第二區間:馬達靜止在1000格

第三區間:馬達從第1000格正轉等速走至第1500格,轉速為500格/ Δt

第四區間:馬達靜止在1500格

第五區間:馬達從第1500格反轉等速走回第0格,轉速為1500格/ Δt

❖ 同一 Δt 所走格數愈多,馬達轉愈快,行程愈遠

❖ 對相同行走格數而言, Δt 愈小馬達轉愈快

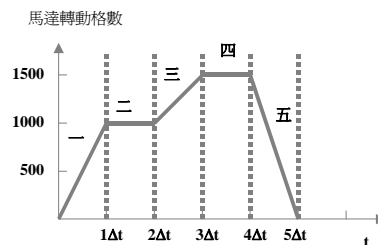


Fig.1-4

註 6: DDA 產生器送出之脈波(Pulse)指令有Pulse/Dir ,CW/CCW及A/B Phase三種Pulse格式可選,視馬達可接受之格式如下圖Fig.1-5

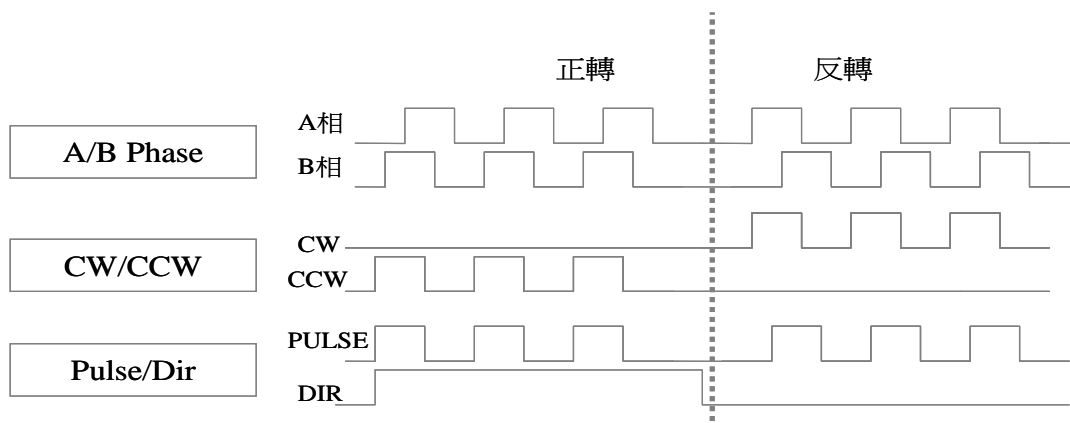
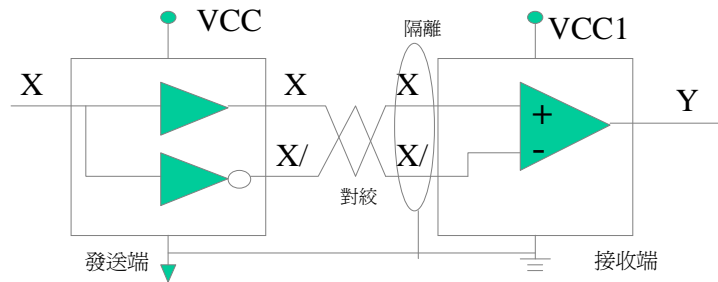


Fig.1-5

註 7: DIFFERENTIAL 訊號傳輸方式說明如下圖 Fig.1-6



發送端	傳輸線中之訊號		接收端
X	X	X/	Y
0	0	1	0
1	1	0	1

Fig.1-6

- ❖ 發送端將訊號X轉換成X及X/輸出
- ❖ 接收端將輸入之X及X/比較後轉換成Y
- ❖ 真值表如左圖
- ❖ 以Differential方式傳送可有效消除共模雜訊
- ❖ 發送端及接收端之參考地須相接以防發送端及接收端因地電位不同而被漏電流損壞
- ❖ 建議以對絞線方式傳送，且加隔離網

註 8: 最終以Differential訊號型式自EPCIO-4000/4005 傳送之Pulse Format如下圖Fig.1-7

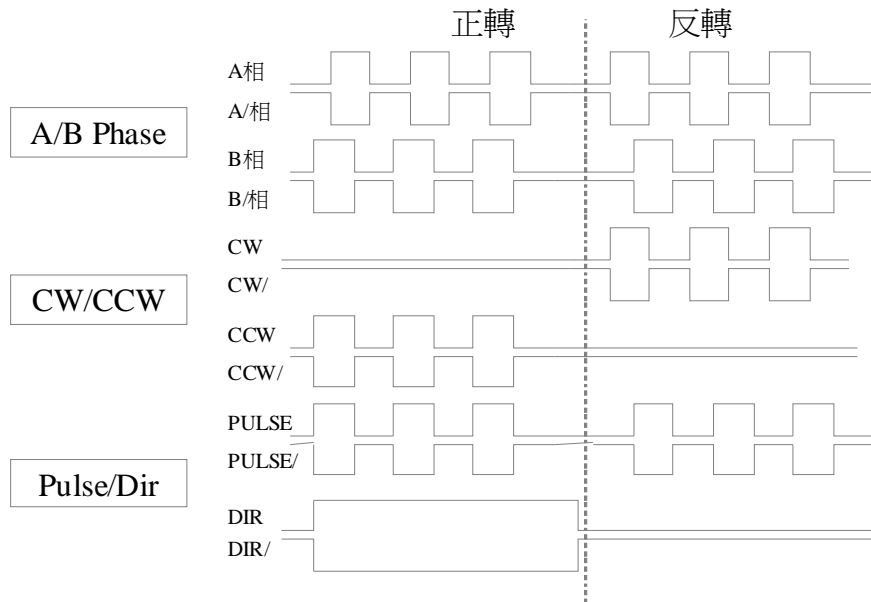


Fig.1-7

註 9: 編碼器介面可選擇為 Index 訊號輸入加上 A/B Phase 或 CW/CCW 或 Pulse/Dir 格式，當選擇 A/B Phase 時亦可將編碼器輸入訊號乘 0 倍(禁止輸入)，1 倍，2 倍或 4 倍

1.5.2 四軸同動/不同動閉迴路電壓(Velocity)輸出控制

EPCIO-4005 未開放此功能

參考系統方塊圖Fig.1-2，PC端藉由驅動程式下達指令，並經由PCI BUS傳至EPCIO-4000，EPCIO ASIC此時解譯指令並驅動內部之DDA產生器(9)均勻送出脈波，脈波再送至閉迴路機制(13)，於此同時迴授馬達編碼器(18)之訊號(DIFFERENTIAL DRIVE 型式)經由連接頭進入EPCIO-4000，再經由光耦合隔離(20)接收及訊號隔離，進入編碼器介面(19)進行訊號處理(含濾波)，再送入閉迴路機制(13)進行計算。閉迴路機制(13)於是根據DDA送來的脈波數量及由編碼器迴授之脈波數量來作P法測迴授控制，並將處理之結果經由DAC介面(14)(D/A→數位轉類比)去驅動DAC模組(16)來產生-10V至+10V之電壓輸出訊號(速度命令)，最後再經由連接頭去驅動速度型伺服馬達(17)。

註1：參考1.5.1 註1 及註2

註2：閉迴路控制為P-TYPE控制法測如下圖Fig.1-8

註3：在這裏使用四組閉迴路電壓輸出控制，所以四組D/A轉換器及四組編碼器輸入端是分配給閉迴路控制使用，無法單獨使用

註4：速度型伺服馬達：馬達驅動器之界面為速度命令輸入格式(以電壓表示速度命令)，一般規格為電壓輸入範圍為-10V~+10V表馬達轉速從反轉最高速至正轉最高速，其間轉速隨輸入電壓作線性對應

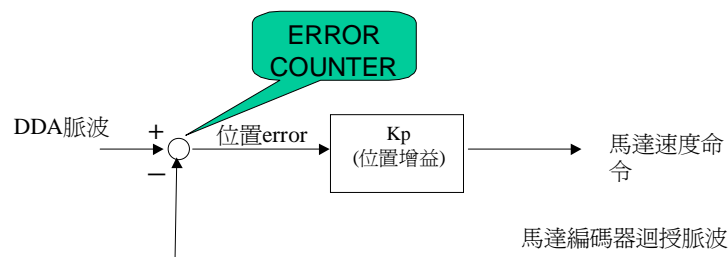


Fig.1-8

1.5.3 近端數位輸出入

參考系統方塊圖Fig.1-2，PC端藉由驅動程式下指令，並經由PCI BUS至EPCIO-4000/4005上之ASIC，此ASIC便根據指令對近端輸出入點(21)讀取資料或寫入資料，其中輸出點經由光耦合隔離(22)並放大驅動能力後與外界連接而輸入點也是經過光耦合隔離(22)後進入至近端輸出入點(21)

1.5.4 遠端數位輸出入

參考系統方塊圖Fig.1-2，EPCIO-4000/4005使用機械所專利的遠端省配線IO設計，使用串列通訊方式透過遠端串列I/O介面(25)及光耦合隔離(26)與遠端I/O控制子板(27)串接，最大可擴充至128點輸出(28)及128點輸入(29)

註 1: EPCIO-4000 卡上有 RIO1 及 RIO2 兩個插座，每個插座可串接一個遠端串列 I/O 控制子板(編號 EDIO-S001/2/3)，每片 EDIO-S001/2/3 有 64 個輸入點及 64 點輸出點
EPCIO-4005 僅有 RIO1 接頭

1.5.5 類比轉數位轉換器 (6 組 ADC)

EPCIO-4000 選配； EPCIO-4005 未開放此功能

參考系統方塊圖Fig.1-2，可將 6 組類比電壓訊號(32)(選擇-5V至 5V或 0~10V範圍)接至ADC模組(31)，EPCIO-4000 再藉由ADC 介面(30)讀取輸入電壓值(12-bit 解析度)

1.5.6 數位轉類比轉換器 (4 組 DAC)

EPCIO-4005 未開放此功能

EPCIO-4000 提供四組類比電壓輸出界面，輸出電壓範圍為 ± 10 伏特。此四組類比電壓輸出界面每一組可搭配一組編碼器迴授及一組脈波輸出控制進行硬體閉迴路控制，但當該組不作為硬體閉迴路控制時，則 D/A 轉換器可單獨使用。

參考系統方塊圖 [Fig.1-2](#)，EPCIO-4000 藉由 系統控制電路(8) 直接下命令至 DAC 界面(14) 再藉由 DAC 模組(16) 轉換成類比電壓命令輸出，控制板在出廠時的電壓偏移量會調整至接近 0 伏特，當使用者單獨使用 DAC 功能時，並不需要調整電壓偏移量。

若使用者使用硬體閉迴路控制模式時，請參考 [1.5.2 節](#) 四軸同動/不同動閉迴路電壓控制說明，此時由於搭配馬達驅動器負載電路後，DAC 所輸出 0 伏特電壓相對於驅動器內部所認知的 0 伏特，可能會有一個微小電壓偏移量，此微小電壓偏移量將導致馬達產生一緩慢的漂移現象，此乃正常現象，一旦軟體開啟閉迴路功能後，閉迴路機制會自動修正此漂移現象，此時馬達會被鎖住，藉由 EPCIO 內部誤差計數器可讀回此時偏移量的大小。

使用者若發現偏移量過大時，可調整馬達的零電壓偏移量(Offset)或控制卡上的可變電阻，請參考 [3.2.2.5 節](#) 設定方式。



第 2 章 規格

在本章中若有使用 → EPCIO_ResetModule() 之類描述，其意思為請參考 EPCIO 驅動函式庫參考手冊之 EPCIO_ResetModule() 函式

2.1 系統架構

- 尺寸: 174×107mm
- 系統基頻: 40Mhz
- Bus 介面: 32-bit PCI
- 中斷: 佔用系統一中斷向量(IRQ)
 - 註 1: EPCIO-4000/4005 內有多個可產生中斷之中斷發生源數(在後面各節有詳述)，每個中斷發生源都有一個 latch，當中斷發生時 latch 便會設定成 1，並經由 BUS 向 CPU 發出中斷，若 CPU 去讀取這個 latch，其值便會清除為 0
 - 註 2: 每個中斷發生源都可 Enable/Disable(default : all disabled)
- 重致(Reset)，可使用軟體對 DAC，ADC，閉迴路控制機制(PCL)，DDA 產生器，近端 I/O，遠端 I/O，EPCIO ASIC 週邊等機制作個別或全部 Reset
 - EPCIO_ResetModule()

2.2 運動控制規格

EPCIO-4000 具有4 組運動控制核心機制，每組運動控制核心機制可選擇閉迴路電壓(Velocity)輸出控制或開迴路脈波(Pulse)輸出控制，故共可選擇作 M 組閉迴路電壓輸出控制及 N 組開迴路脈波(Pulse)輸出控制，而 $M+N \leq 4$ 組

EPCIO-4005 僅開放開迴路脈波(Pulse)輸出控制

2.2.1. 開迴路脈波(Pulse)輸出控制

開迴路輸出控制可驅動脈波型伺服馬達或步進馬達，以下說明開迴路控制規格

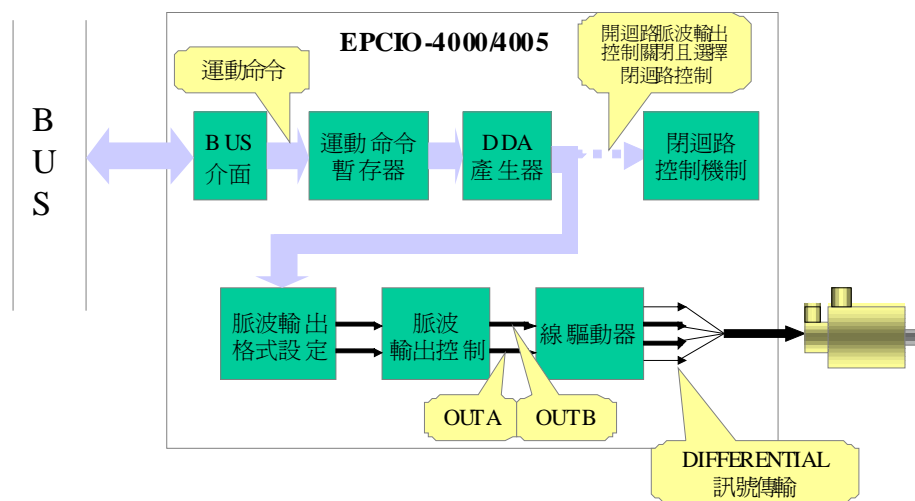


Fig.2-1

- 細運動命令格式：16 位元寬度，最高位元(Bit 15)為方向位元，0 表正方向，1 表負方向，其他位元(Bit 14 ~ Bit 0)表示移動量，單位：脈波(即 Pulse)
- 脈波產生器：DDA
- 可控制軸數：4 軸(每軸備有一組 DDA 控制機制)
- DDA 規格
 - ◆ Enable/Disable:可控制每軸 DDA 之 Enable 或 Disable(內定 Disable)
 - ➔ EPCIO_DDA_EnableOutputChannel()
 - ➔ EPCIO_DDA_DisableOutputChannel()
 - ➔ EPCIO_DDA_StartEngine()
 - ➔ EPCIO_DDA_StopEngine()
 - ◆ DDA Engine Length : 10~15-bit



- EPCIO_DDA_SetBitLength()
- ◆ 每個 DDA Cycle Time 最大可輸出 1024 ~32767 個 Pulse(脈波)，可藉由設定 DDA Length 來達成，如設定 DDA Length 為 10-bit 則該 DDA Cycle Time 最大可輸出 1023 ($2^{10}-1$)個脈波，設定 DDA Length 為 15-bit 則該 DDA Cycle Time 最大可輸出 32767($2^{15}-1$)個脈波。
註:參考[Fig.1-3](#)，[Fig.1-4](#)
- ◆ 當每個 DDA Cycle Time 結束時可設定向系統產生中斷，注意在這種情況下，EPCIO-4000/4005 會在執行完每一筆運動命令之後(亦即每個 DDA Cycle Time)就產生一個中斷，使用者所採用的 CPU 等級應具備處理如此頻繁的中斷要求之能力。
 - EPCIO_DDA_EnableCycleInt()
 - EPCIO_DDA_DisableCycleInt()
- ◆ DDA Clock Divider : 12 -bit
 - EPCIO_DDA_SetClockDivider()
- ◆ DDA Cycle Time: 25us ~3350ms Programmable，可藉由設定 DDA Clock Divider 及 DDA Length 之值來達成， $DDA\ Cycle\ Time = 25\ ns \times (DDA\ Clock\ Divider\ 值 + 1) \times 2^{DDA\ Length}$
 - EPCIO_DDA_SetClockDivider()
 - EPCIO_DDA_SetBitLength()或呼叫 → EPCIO_DDA_SetTime()
- 註:參考[Fig.1-3](#)，[Fig.1-4](#)
- ◆ 脈波寬度調整 Pulse Width Extender (對 Pulse/Direction 及 CW/CCW 格式有效)， $Pulse\ Width = 25\ ns \times n$ ，其中 $n=1\sim 4096$
 - EPCIO_DDA_SetPulseWidth()
- 細運動命令暫存器(FMC)：每軸最多可預存 64 筆細運動命令，DDA 會主動於每一個 DDA Cycle Time 之後同時自各軸來抓取一筆命令去執行均勻脈波之輸出
 - ◆ 結構: 64×16-bit FIFO(First In First Out)
 - ◆ 命令格式: One direction bit 加上 15-bit movement value
 - EPCIO_DDA_SendPulse()
 - ◆ Full Flag :指示 FIFO 已滿
 - EPCIO_DDA_CheckFIFOFull()
 - ◆ Empty Flag :指示 FIFO 已空
 - EPCIO_DDA_CheckFIFOEmpty()
 - ◆ 可讀取 FIFO 內剩餘未執行之命令筆數
 - EPCIO_DDA_GetStockCount()

- ◆ 可讀取 FIFO 內目前正在執行之命令
 - EPCIO_DDA_GetCurrentCmd()
- ◆ 可設定 FMC 最小剩餘命令筆數，當剩餘命令等於最小剩餘命令筆數時可向系統產生中斷，這種方式比前段所提之 DDA Cycle Time 中斷，其中斷頻率會降低很多，可有效降低 CPU 的工作負載。
 - EPCIO_DDA_SetMinStockNo()
 - EPCIO_DDA_EnableStockInt()
 - EPCIO_DDA_DisableStockInt()
- 脈波輸出格式
 - ◆ Pulse/Direction
 - ◆ CW/CCW
 - ◆ A/B
 - ◆ Inhibit (內定：禁止輸出)
 - EPCIO_DDA_SetOutputFormat()
 - 參考[Fig.1-5](#)，[Fig.1-7](#)
- 脈波輸出控制(參考[Fig.2-1](#)，假設輸出之脈波以OutA, OutB 表示)
 - ◆ OutA 與 OutB 可個別反相輸出(內定:非反相)
 - EPCIO_DDA_EnableOutAInverse()
 - EPCIO_DDA_DisableOutAInverse()
 - EPCIO_DDA_EnableOutBInverse()
 - EPCIO_DDA_DisableOutBInverse()
 - ◆ OutA 與 OutB 之訊號可交換 (內定:未交換)
 - EPCIO_DDA_EnableOutABSwap()
 - EPCIO_DDA_DisableOutABSwap()
- 線驅動器Line Driver：使用差動方式輸出，差動方式請參考[Fig.1-6](#)

2.2.2. 閉迴路電壓(Velocity)輸出控制

EPCIO-4005 無此功能

閉迴路輸出控制可驅動速度型伺服馬達，以下說明閉迴路控制規格

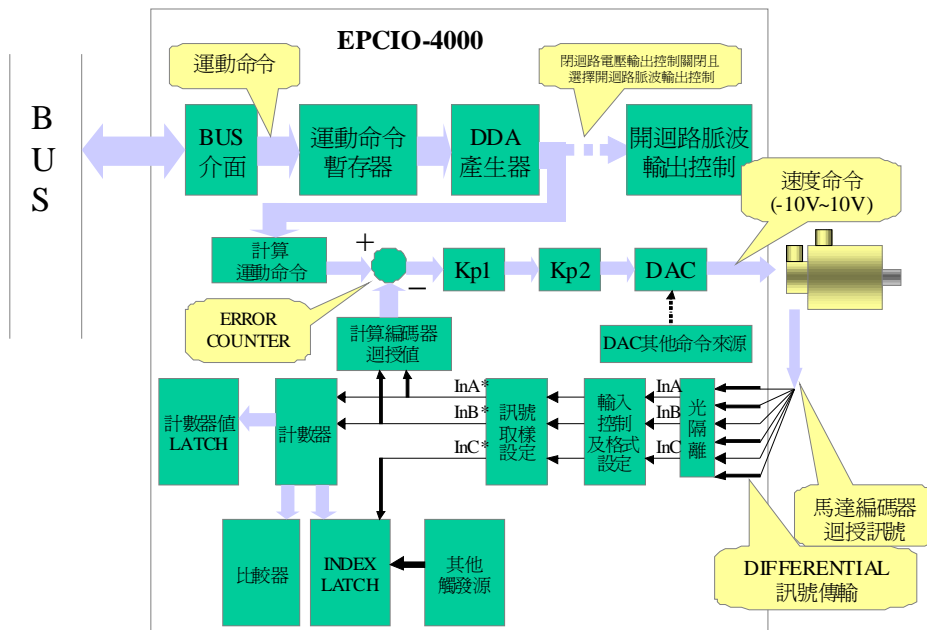


Fig.2-2

- 細運動命令(FMC)格式：16 位元寬度，最高位元(Bit 15)為方向位元，0 表正方向，1 表負方向，其他位元(Bit 14 ~ Bit 0)表示移動量，單位：脈波(即 Pulse)
- 最多可控制軸數：4 軸(每軸備有一組閉迴路控制機制)
- 速度命令範圍：使用 DAC 輸出 +/- 10V
- DDA規格(詳見2.2.1)
- 細運動命令暫存器(詳見2.2.1)

- 控制法測：P type
 - ➔EPCIO_PCL_StartControl()
 - ➔EPCIO_PCL_StopControl()
- ◆ Error Counter(位置誤差)：長度為 16-bit，且 Error Counter Overflow 時可設定產生中斷
 - ➔ EPCIO_PCL_EnableErrorCounter()
 - ➔ EPCIO_PCL_DisableErrorCounter()
 - ➔EPCIO_PCL_GetErrorCounter()



- EPCIO_PCL_ClearErrorCounter()
- EPCIO_PCL_EnableOverflowInt()
- EPCIO_PCL_DisableOverflowInt()
- ◆ Kp1 : close loop scaling gain
 - EPCIO_PCL_SetScaleGain()
- ◆ Kp2 : close loop shift gain
 - EPCIO_PCL_SetScaleGain()

經 P 控制法則後的Error Counter 值與DAC 輸出電壓之間的關係可以下列公式換算

輸出電壓(Volt) = 位置誤差值 $\times K_{p1} \times 2^{K_{p2}} \times 10 \div (16 \times 32767)$ ，例如
當位置誤差為1024 且設定Kp1 為100、Kp2 為0 時，則產生的電壓大小為
 $V_{out} = 1024 \times 100 \times 1 \times 10 \div (16 \times 32767) = 1.95 \text{ volt}$



2.3. 數位轉類比轉換器

- ◆ 組數：4 個，分別對應每軸閉迴路電壓控制機制，當要作閉迴路電壓(速度命令)輸出控制時，須使用軟體將 DAC 命令(轉換值)來源指向 PCL(即閉迴路控制機制)；當某組閉迴路電壓控制機制不使用時，則該組 DAC 可空出來單獨使用
→EPCIO_DAC_SetOutput()
- ◆ 可設定 DAC START 或 STOP(內定：STOP)，當 DAC Stop 時 DAC 輸出值保持前次命令值
→ EPCIO_DAC_StartConv()
→ EPCIO_DAC_StopConv()
- ◆ 解析度: 16-bit
- ◆ EPCIO-4000 Power on 之值：0V (若非 0 時請調整可變電阻至 0)
- ◆ DAC 輸出介面規格
外界負載:須大於 2KΩ
輸出電壓：最大±10V
- ◆ D/A 轉換值來源可為下列三種
→ EPCIO_DAC_SetCmdSource()
 1. PCL(閉迴路控制機制)模式：使用在閉迴路電壓(速度命令)輸出控制
 2. Direct Write Buffer(DAC 單獨使用模式)
選擇此模式，可直接將轉換值下達給 DAC，直接輸出電壓
→EPCIO_DAC_SetOutput()
 3. Trigger Buffer(DAC 單獨使用時模式)
預設一個轉換值於 Trigger buffer 內，當預設之 Trigger 訊號被觸發時便將 Trigger Buffer 內之轉換值送入 DAC 轉成電壓輸出
→EPCIO_DAC_SetTrigOutput()
3. Trigger 訊號源：共有 23 個，詳情請參考下列函式
→ EPCIO_DAC_SetTrigSource()
→ EPCIO_DAC_EnableTrigMode()
→ EPCIO_DAC_DisableTrigMode()



2.4. 編碼器輸入規格

- ◆ 組數 :5
- ◆ 編碼器輸入隔離：
 - 隔離方式：光耦合器
 - 輸入頻率：最高 2MHz
- ◆ 輸入訊號 InA，InB 及 InC 的輸入控制
 1. 三個訊號可個別反相(內定：非反相)
 - EPCIO_ENC_EnableInAInverse()
 - EPCIO_ENC_DisableInAInverse()
 - EPCIO_ENC_EnableInBInverse()
 - EPCIO_ENC_DisableInBInverse()
 - EPCIO_ENC_EnableInCInverse()
 - EPCIO_ENC_DisableInCInverse()
 2. InA 及 InB 訊號可交換(內定：無交換)
 - EPCIO_ENC_EnableInABSwap()
 - EPCIO_ENC_DisableInABSwap()
- ◆ InA、InB 之輸入格式設定
 - EPCIO_ENC_SetInputType()
 - 1. A/B phase 格式
 - 乘倍率可設為 $\times 0$ ， $\times 1$ ， $\times 2$ ， $\times 4$ (內定為 $\times 0$)
 - EPCIO_ENC_SetInputRate()
 - 2. CW/CCW 格式
 - 3. Pulse/Direction 格式
 - 4. Input 禁止
- ◆ 輸入訊號取樣及數位濾波功能
 1. 濾波格式：輸入訊號需連續 3 次取樣相同 (InA、InB、InC)
 2. 取樣率：可軟體規劃，取樣間隔為 $25 \text{ ns} \times (n+1)$ ， $n=0\sim 255$ (內定: $n=0$)
 - EPCIO_ENC_SetFilterClock()
- ◆ 計數器(Counter)
 1. 長度:32-bit
 2. 可設定 enable/disable(註:在閉迴路控制須設定為 enable)
 - EPCIO_ENC_StartInput()
 - EPCIO_ENC_StopInput()
 3. 可清除為 0(default:未清除)
 - EPCIO_ENC_ClearCounter()
 4. 開機時亂數



5. 讀取計數器值

→ EPCIO_ENC_GetValue()

◆ Counter latch

1. 作用:可設定 index 或其他觸發信號源,以 latch 計數器值供 CPU 讀取,且觸發模式可選擇

→ EPCIO_ENC_SetTrigSource()

→ EPCIO_ENC_SetTrigMode()

→ EPCIO_ENC_GetLatchValue()

2. 可設定 Enable or Disable(default) (參考 EPCIO Series 驅動函式庫使用手冊)

◆ Index

1. 可讀取目前編碼器 Index 訊號之狀態(high/low)

→ EPCIO_ENC_GetIndexStatus()

2. 編碼器輸入之 Index 可設定直接向系統產生中斷

→ EPCIO_ENC_EnableIndexInt()

→ EPCIO_ENC_DisableIndexInt()

◆ 比較器(Comparator) 與比較器中斷

作用:當計數器值與比較器內預先設定值相等時,則 Comparator Flag 設為 1 且可設定向系統產生中斷

→ EPCIO_ENC_SetCompValue()

→ EPCIO_ENC_EnableCompInt()

→ EPCIO_ENC_DisableCompInt()

◆ 編碼器中斷統計

1. Index 可設定直接產生中斷(共 4 組)

2. Compare equal 成立時可設定直接向系統產生中斷(共 4 組)

3. 每組中斷皆可設定 Enable/Disable(default)

2.5. 近端數位輸出入點

- 13 個專用輸入點
 - ◆ 操作電壓：DC 24V±10%
 - ◆ 輸入為 18V~30V 時(輸入點對 COM 點之電壓差)，使用驅動函式庫讀時，其值為 0
 - ◆ 輸入 0V~1V 時(輸入點對 COM 點之電壓差)，使用驅動函式庫讀取時，其值為 1
 - ◆ 隔離：光耦合式
 - ◆ 分類
 1. 上行程極限輸入點：4 點
分別標示為 OT1+，OT2+，OT3+，OT4+，接腳定義請參考第 3 章
→ EPCIO_LIO_GetOverTravelUp()
 2. 下行程極限輸入點：4 點
分別標示為 OT1-，OT2-，OT3-，OT4-，接腳定義請參考第 3 章
→ EPCIO_LIO_GetOverTravelDown()
 3. Home 輸入點：4 點
分別標示為 HOM1，HOM2，HOM3，HOM4
→ EPCIO_LIO_GetHomeSensor()
 4. 緊急停止輸入點：1 點，標示為 E_STOP
Emergency Stop 發生時(即 Emergency Stop Input 讀取值為 1)，硬體會禁止脈波輸出功能並使 DAC 輸出 0V 電壓值，且 EPCIO-4000/4005 內含 Latch 可鎖住 Emergency Stop 狀態
→ EPCIO_LIO_GetEmgcStopStatus()

註 1: 解除 Emergency Stop 狀態處理:請先排除 Emergency Stop 發生原因(亦即使 Emergency Stop 讀取值為 0)，再以軟體對 EPCIO ASIC 週邊作 Reset 動作，如此才可清除 Emergency Stop 狀態

→ EPCIO_ResetModule()

註 2: 將 JP5 之 E_STOP 短路，可解除 Emergency Stop Input (即 Emergency Stop 讀取值為永遠為 0，Emergency Stop 永遠不會發生)

註 3: EPCIO-4000/4005 出廠時將 JP5 短路，當系統配接好 Emergency Etop 電路時，必須將 JP5 開路以免 Emergency Stop 不會動作。

註 4: 當 ESTP 發生時，若 DAC 輸出值若不為 0V，可調整可變電阻使為 0V，參考 [3.2.2.5](#)



- 內部專用之 24V 輸入感應點：用以判別 COM+，COM-之間是否有 24V 電壓輸入，而 COM+，COM-是近端專用輸出點所使用之外掛 24V 電壓輸入點
→EPCIO_LIO_Get24VSensor()

 - 5 個專用輸出點
 - ◆ 操作電壓：DC 24V ±10%
 - ◆ 驅動方式：Open Collector 當 EPCIO ASIC 內部輸出值為 0 時，Open Collector 為可導通狀態，輸出值為 1 則為不可導通狀態。
 - ◆ 每點最大承受電流：60 mA (所以不可直接將沒有負載 24V 電源直接接上)
 - ◆ 隔離:光耦合式
 - ◆ 分類
 - A. 伺服驅動致能(Servo On/Off)： 4 點，分別是 SVON1，SVON2，SVON3，SVON4
→EPCIO_LIO_ServoOn()
→EPCIO_LIO_ServoOff()
 - B. Position Ready 輸出：1 點，可藉由此點告知外界，EPCIO-4000/4005 目前為 Ready 狀態
→EPCIO_LIO_EnablePrdy()
→EPCIO_LIO_DisablePrdy()

 - 一個內部專用之安全控制輸出點(Pulse_DAC_Output_Enable):系統 Power On 到初始化軟體執行完成之前，可能有一小段不確定時期，為保證於這段期間內，馬達不致於有不預期的動作，EPCIO-4000/4005 內設計了一個內部專用之安全控制輸出點，在 Power On 時將脈波輸出及 DAC 輸出功能關閉，使用者在初始化執行完畢後，應呼叫 EPCIO_LIO_EnablePulseDAC()，以便開啟脈波輸出及 DAC 輸出功能，若要關閉脈波輸出及 DAC 輸出功能，應呼叫 EPCIO_LIO_DisablePulseDAC()。
- 註 1: 要啟動 Pulse_DAC_Output_Enable 功能前請先確定系統不是處於 Emergency Stop 狀態，否則該點啟動無效，參考前段 Emergency Stop Input 說明
- 註 2: 當關閉 Pulse_DAC_Output_Enable 點時，不管 EPICO-4000/4005 內部狀態為何，其脈波輸出及 DAC 輸出功能皆為關閉狀態



2.6 遠端數位輸出入點

- EPCIO-4000 卡上有 RIO1 及 RIO2 兩個插座，每個插座可串接一個遠端串列 I/O 模組(編號 EDIO-S00X，每個遠端串列 I/O 模組有 64 個輸入點及 64 點輸出點，所以 EPCIO-4000 最大可擴充至 128 點數位輸入點及 128 點數位輸出點(註:EDIO-S001/2/3 規格請參考 EDIO-S001/2/3 使用手冊))

(EPCIO-4005 僅有 RIO1 插座)

- ◆ 配接在 RIO1 之遠端串列 I/O 模組在驅動程式中是以 RIO_SET0，RIO_SLAVE0 表示
- ◆ 配接在 RIO2 之遠端串列 I/O 模組在驅動程式中是以 RIO_SET1，RIO_SLAVE0 表示
 - EPCIO_RIO_GetInputValue()
 - EPCIO_RIO_SetOutputValue()
- 遠端輸出入之開啟可獨立由 CPU 操作，與其他功能無關
 - EPCIO_RIO_EnableSetControl()
 - EPCIO_RIO_DisableSetControl()
 - EPCIO_RIO_EnableSlaveControl()
 - EPCIO_RIO_DisableSlaveControl()
- 請參閱 EPCIO Series 驅動函式庫參考手冊
 - EPCIO_RIO_SetClockDivider()
 - EPCIO_RIO_GetTransStatus()
 - EPCIO_RIO_GetMasterStatus()
 - EPCIO_RIO_GetSlaveStatus()
 - EPCIO_RIO_SetTransError()
 - EPCIO_RIO_EnableTransInt()
 - EPCIO_RIO_DisableTransInt()
- 中斷
 - ◆ 每個 EDIO-S001/2/3 模組之前四個輸入點可設定為中斷訊號發生源
 - EPCIO_RIO_EnableInputInt()
 - EPCIO_RIO_DisableInputInt()
 - EPCIO_RIO0_GetIntCondition()
 - EPCIO_RIO1_GetIntCondition()



- ◆ 可規劃前述四個中斷訊號發生源之觸發方式
 - EPCIO_RIO_SetIntType()

- ◆ 可設定通訊失敗時觸發中斷(請參閱 EPCIO series 驅動函式參考手冊)
 - EPCIO_RIO_SetTransError()
 - EPCIO_RIO_EnableTransInt()
 - EPCIO_RIO_DisableTransInt()



2.7 類比轉數位轉換器

EPCIO-4000 為選配功能，EPCIO-4005 未開放此功能

- 輸入點數: 6
 - EPCIO_ADC_GetInput()
- 電壓輸入範圍：
 - Bipolar Mode : -5V~5V(將 JP4 之 BIP 及 COM 短路)
 - Unipolar Mode : 0~10V(將 JP4 之 UNI 及 COM 短路)
 - EPCIO_ADC_SetConvType()
- 解析度:12 bit
- Single Run 模式:
 - ◆ 六組 A/D 輸入可單獨指定任一組輸入進行轉換，且完成一次轉換之後便不再進行轉換
 - ◆ Data Update Time(含資料傳輸時間)=10us
 - EPCIO_ADC_SetConvMode()
 - EPCIO_ADC_SetSingleChannel()
 - EPCIO_ADC_StartConv()
 - EPCIO_ADC_GetInput()
 - EPCIO_ADC_StopConv()
- Free Run 模式:
 - ◆ 六組 A/D 輸入中可指定其中數組進行轉換，其他關閉，而且轉換會在已經啟動組數中輪替
 - ◆ Data Update Time (含資料傳輸時間) = 10 us × (*ENABLE* 之組數)
 - EPCIO_ADC_SetConvMode()
 - EPCIO_ADC_EnableConvChannel()
 - EPCIO_ADC_DisableConvChannel()
 - EPCIO_ADC_StartConv()
 - EPCIO_ADC_GetInput()
 - EPCIO_ADC_StopConv()
- 比較器與比較器中斷
 - ◆ 先預設比較值，當符合比較條件後將產生中斷，每個比較器都可設定產生中斷(共有六個中斷)
 - EPCIO_ADC_SetCompValue()
 - EPCIO_ADC_EnableCompInt()
 - EPCIO_ADC_DisableCompInt()

◆ 比較模式選擇

遮蔽功能(MASK)：

比較器先遮蔽 ADC 電壓讀取值之最後 0 個，1 個，2 個或 3 個 -Bit 後形成遮蔽值後，再將遮蔽值與預設值進行比較，其比較後之結果是以中斷方式通知 CPU

→ EPCIO_ADC_SetCompMask()

比較方式：可選擇下列三種比較條件來觸發中斷

→ EPCIO_ADC_SetCompType()

1. 當遮蔽值從小於預設值變成大於或等於預設值之瞬間
2. 當遮蔽值從大於或等於預設值變成小於預設值之瞬間
3. 上列兩種情況皆可觸發中斷

■ 中斷：

◆ 比較器中斷: 6 個

→ EPCIO_ADC_EnableCompInt()

→ EPCIO_ADC_DisableCompInt()

◆ 轉換完成中斷:1 個

當有一個 ADC 輸入點完成轉換時，可設定向系統產生中斷

→ EPCIO_ADC_EnableConvInt()

→ EPCIO_ADC_DisableConvInt()

◆ 標籤輸入轉換完成中斷:1 個

可設定某一個輸入為'標籤'輸入，當該輸入每完成轉換時，可設定向系統產生中斷

→ EPCIO_ADC_SetTagChannel()

→ EPCIO_ADC_EnableTagInt()

→ EPCIO_ADC_DisableTagInt()

2.8 計時器(Timer)及看門狗計時器(Watchdog Timer)

- Timer
 - ◆ Enable/Disable
 - EPCIO_LIO_EnableTimer()
 - EPCIO_LIO_DisableTimer()
 - ◆ 計時單位:系統基頻(25ns)
 - ◆ Timer 長度:24-bit
 - 說明:可設定計時範圍為 $0\sim(2^{24}-1)$ 倍系統基頻,當計時終了時,可設定向系統產生中斷.
 - EPCIO_LIO_SetTimer()
 - EPCIO_LIO_EnableTimerInt()
 - EPCIO_LIO_DisableTimerInt()
- Watch Dog Timer
 - ◆ Enable/Disable
 - EPCIO_LIO_EnableWDogTimer()
 - EPCIO_LIO_DisableWDogTimer()
 - ◆ 計時單位:TIMER 所設定之時間長度
 - ◆ Watch Dog Timer 長度:16-bit
 - 說明:可設定計時範圍為 $0\sim(2^{16}-1)$ 倍計時單位,當 Watchdog Timer 計時終了時,EPCIO-4000/4005 會自動產生 Reset 訊號 (RESET 訊號長度可規劃),若不想發生 Reset,則須在 Watchdog Timer 計時尚未終了時以程式將 Watchdog Timer 之值清除為 0
 - EPCIO_LIO_SetWDogTimer()
 - EPCIO_LIO_SetWDogReset()
 - EPCIO_LIO_RefreshWDogTimer()



第 3 章 硬體安裝及使用說明

3.1 系統基本安裝步驟

- A. 請先執行安裝光碟中的 setup.exe
- B. 安裝時請將系統電源關閉，包含電腦，馬達等
- C. 將 EPCIO-4000/4005 插入 PCI BUS 中並固定
- D. 將週邊電路配好並經由 SCSI II 68PIN 之接頭插入 EPCIO-4000/4005 卡，再鎖上螺絲固定(週邊電路配線參考本章節其他部份)
- E. 確定電腦及其連接驅動之馬達，I/O 模組等均須確實接地，使電腦、馬達及 I/O 等周邊模組在同一參考電位，以免啟動時因為地參考電位不同而造成系統損壞
- F. 啟動電腦，電腦會發現新硬體，請依電腦指示說明至隨卡所附之光碟片安裝本運動控制卡
- G. 使用本卡所附之安裝光碟,可對 EPCIO-4000/4005 進行功能測試
- H. 詳細安裝內容請參考 EPCIO Series 硬體安裝須知

3.2 硬體板面配置及各接頭定義

3.2.1 硬體板面配置

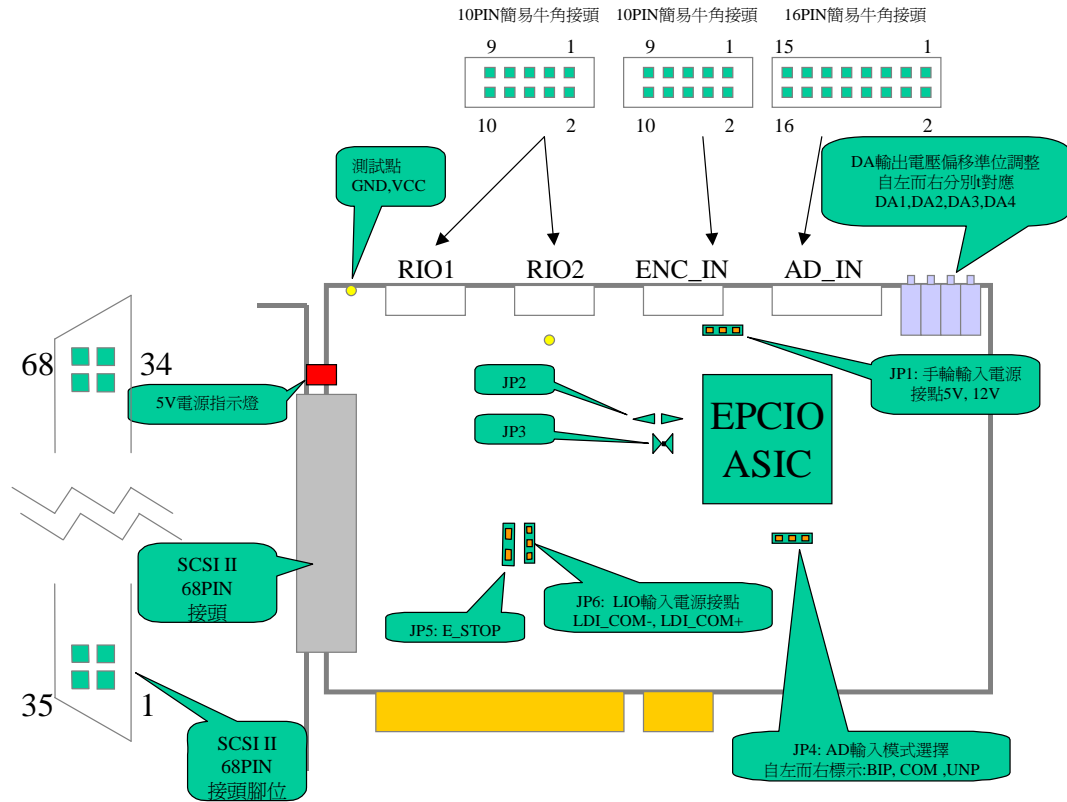


Fig.3-1

註：4005 無 RIO2 及 AD_IN 接頭及 JP5

註：4005 無 DA 輸出電壓調整鈕



3.2.2 板面各接頭定義

3.2.2.1 SCSI II 68PIN 接頭定義---參考下表

SCSI II-68PIN CONNECTOR			
PIN 定義	腳位	腳位	PIN 定義
AGND	1	35	AGND
AGND	2	36	DAC1
DAC2	3	37	DAC3
DAC4	4	38	+5V
COM+	5	39	COM-
ESTP	6	40	PRDY
HOM1	7	41	HOM2
OT1+	8	42	OT2+
OT1-	9	43	OT2-
SVON1	10	44	SVON2
HOM3	11	45	HOM4
OT3+	12	46	OT4+
OT3-	13	47	OT4-
SVON3	14	48	SVON4
EA1+	15	49	EA2+
EA1-	16	50	EA2-
EB1+	17	51	EB2+
EB1-	18	52	EB2-
EC1+	19	53	EC2+
EC1-	20	54	EC2-
EA3+	21	55	EA4+
EA3-	22	56	EA4-
EB3+	23	57	EB4+
EB3-	24	58	EB4-
EC3+	25	59	EC4+
EC3-	26	60	EC4-
PA1+	27	61	PA2+
PA1-	28	62	PA2-
PB1+	29	63	PB2+
PB1-	30	64	PB2-
PA3+	31	65	PA4+
PA3-	32	66	PA4-
PB3+	33	67	PB4+
PB3-	34	68	PB4-

■ 說明
SCSI II 68PIN 接頭定義之(一)--- DDA 訊號輸出(PULSE OUTPUTS)

訊號	說明	參考地電位	附註
PAn+與 PAn-	第 n 個 DDA 輸出之 A 相，經 Line Driver 之後的差動輸出訊號	AGND	n=1~4
PBn+與 PBn-	第 n 個 DDA 輸出之 B 相，經 Line Driver 之後的差動輸出訊號	AGND	n=1~4

SCSI II 68PIN 接頭定義之(二) ---- ENCODER 訊號輸入

訊號	說明	參考地電位	附註
EAn+與 EAn-	第 n 個 Encoder Counter 的 A 相差動輸入訊號	AGND	n=1~4
EBn+與 EBn-	第 n 個 Encoder Counter 的 B 相差動輸入訊號	AGND	n=1~4
ECn+與 ECn-	第 n 個 Encoder Counter 的 C 相差動輸入訊號(INDEX)	AGND	n=1~4

SCSI II 68PIN 接頭定義之(三)---近端輸出入 Local digital I/O

訊號	說明	參考地電位	附註
OTn+	第 n 軸之 Upper Over Travel Input	COM	n=1~4
OTn-	第 n 軸之 Lower Over Travel Input	COM	n=1~4
HOMn	第 n 軸之 Home Sensor Input	COM	n=1~4
SVONn	第 n 軸之 Servo On Output	COM	n=1~4
ESTP	Emergency Stop Input	COM	
PRDY	Position Ready Output	COM-	
COM+	Local Digital Output 之+端		
COM-	Local Digital Output 之-端		

SCSI II 68PIN 接頭定義之(四)---- DAC OUTPUT 及其他

訊號	說明	參考地電位	附註
DACn	第 n 個之 DAC Output 或第 n 軸的速度命令輸出	AGND	n=1~4
AGND	類比電壓輸出訊號參考地點		
+5V	+5V Output(Max: 500mA)		

3.2.2.2 RIO1 及RIO2 接頭定義

----兩個接頭定義相同，參考下圖

註:EPCIO-4005 僅有RIO1 接頭

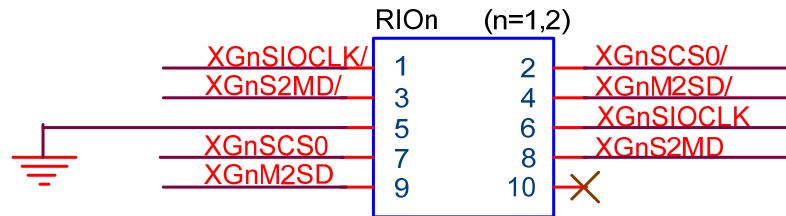


Fig.3-2

說明:

訊號	說明	參考地 電位	附註
xGnM2SD 與 xGnM2SD/	第 n 組 Remote IO，Master 傳給各 Slaves 的串列資料訊號(差動傳輸)	AGND	n=1,2
xGnSIOCLK 與 xGnSIOCLK/	第 n 組 Remote IO，Master 傳給各 Slaves 的同步訊號(差動傳輸)	AGND	n=1,2
xGnSCS0 與 xGnSCS0/	第 n 組 Remote IO，Master 傳給 Slave 的選擇訊號(差動傳輸)	AGND	n=1,2
GnS2MD 與 GnS2MD/	第 n 組 Remote IO，被選擇的 Slave 給 Master 的串列資料訊號(差動傳輸)	AGND	n=1,2
DGND(PIN 5)	DIGITAL GND,與 AGND 對接		

3.2.2.3 ENC_IN(MPG)牛角接頭定義

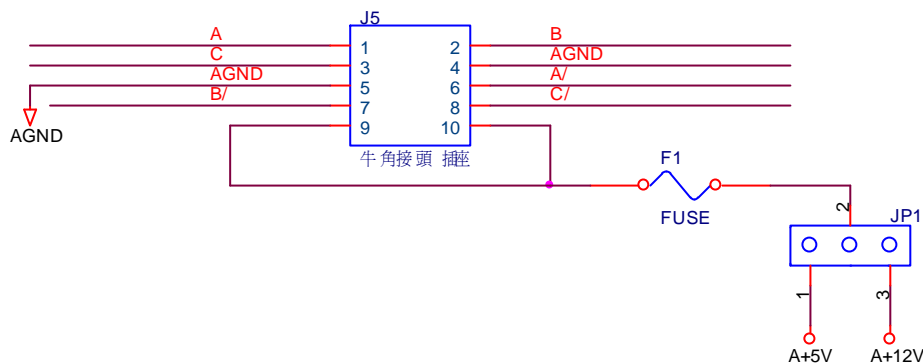


Fig.3-3

說明:

訊號	說明	參考地電位	附註
A 與 A/	編碼器 A-Phase 差動輸入信號	AGND	
B 與 B/	編碼器 B-Phase 差動輸入信號	AGND	
C 與 C/	編碼器 C-Phase 差動輸入信號	AGND	
A+5V / A+12V	由 JP1 提供編碼器+5 伏特或+12 伏特電源輸出正端	AGND	
AGND	由 JP1 提供編碼器+5 伏特或+12 伏特電源輸出負端	AGND	

3.2.2.4 ADC 接頭定義

EPCIO-4000ADC為選配；4005無ADC

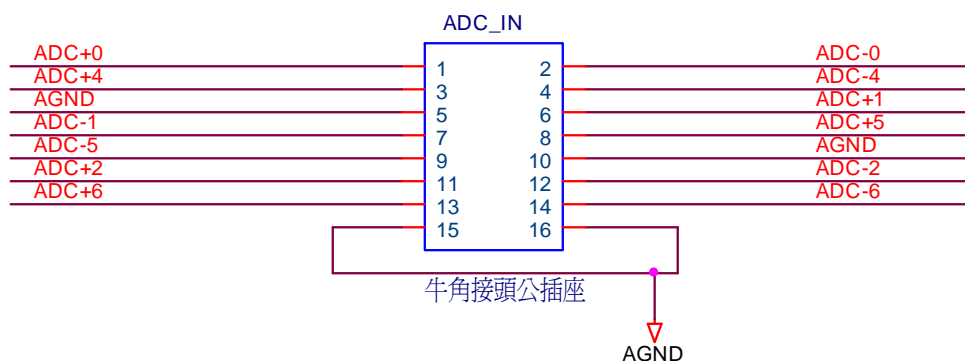


Fig.3-4

說明:

訊號	說明	參考地電位	附註
ADC+n	第 n 組 ADC 類比差動輸入訊號+端	AGND	n=0~2,4~6
ADC-n	第 n 組 ADC 類比差動輸入訊號-端	AGND	n=0~2,4~6
AGND	ANALOG GND 為 VCC_OUT,DAC OUTPUT 及 ADC 之共地點,與 DGND (DIGITAL GND)單點對接,又 DGND 與電腦之 BUS 地對接	AGND	

3.2.2.5 其他—參考版面配置圖[Fig.3-1](#)

■ 測試點 GND ， VCC

----GND 為 Digital Ground(即 PCI BUS Ground)

----VCC 為 DIGITAL 5V 電源 (即 PCI BUS 5V)

■ 5V 電源指示燈

----亮→表 VCC(PCI BUS 5V)已進入控制卡

■ 可變電阻 VR1(DA1) ， VR2(DA2) ， VR3(DA3) ， VR4(DA4)

----用在調整 DAC 放大級輸出電壓偏移準位(Offset 值)[EPCIO-4005 略](#)

----用在閉迴路電壓控制時，可調整每軸之可變電阻使 Error Counter 值最小 (Error Counter 值=Error Signal=目標位置-迴授位置)

----DAC 單獨使用時，可調整可變電阻使輸出電壓為 0V

■ JP4—AD 輸入模式選擇

[4000 須選配ADC； 4005 略](#)

----若 ADC 轉換之輸入之電壓範圍為-5V~5V 請選擇 Bipolar Mode(將 JP4 之 COM 及 BIP 短路)

----若 ADC 轉換之輸入之電壓範圍為 0V~10V 請選擇 Unipolar Mode(將 JP4 之 COM 及 UNP 短路)

----出廠 JP4 設定為 Bipolar Mode

----參考[2.7](#)

■ JP5—E_STOP

----將 JP5 之 E_STOP 短路，可解除 Emergency Stop Input (即 Emergency Stop 讀取值為永遠為 0， Emergency Stop 永遠不會發生)

----出廠時 JP5 設定為短路

----參考[2.5](#)之Emergency Stop Input 說明

3.3 接線說明

3.3.1 四軸同動/不同動電壓輸出閉迴路控制

EPCIO-4005 無此功能

以下為 EPCIO-4000 與速度控制型(Velocity Type)伺服馬達驅動器連接圖

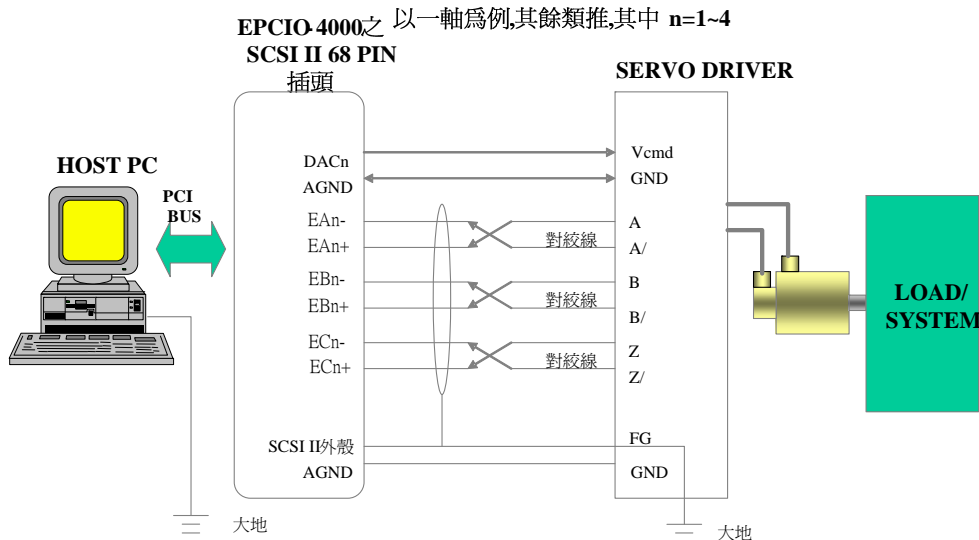


Fig.3-5-1

- DACn 為第 n 組閉迴路控制機制之速度命令輸出(以電壓命令型式輸出)，須接至第 n 組 Servo Driver 之 Vcmd(Velocity Command)輸入點，而 DACn 之地點—AGND 須與該組 Vcmd 之地點—GND 對接
- Servo Driver 之馬達編碼器訊號(A/B/Z 訊號)，須以 Differential 型式接回 EPCIO-4000(如圖所示)，建議 A，A/及 B，B/及 Z，Z/這三組訊號均使用對絞線以降低共模雜訊，另外如圖所示使用隔離網將這三組線與外界隔離，以降低外界對傳輸之干擾
- 將隔離網一端與 EPCIO-4000 之 SCSI II 68PIN 接頭外殼對接，另一端與 Servo Driver 之 FG(Frame Ground)對接，並確定 PC 及 Servo Driver 都有接大地(註: SCSI II 68PIN 接頭外殼與 PC 外殼對接，而 PC 外殼通常與大地對接)
- **重要**---須有一條地線將 Servo Driver 之 GND 與 EPCIO-4000 之 AGND 對接(這點非常重要，因為有可能造成致命損壞)

- 使用轉接板 EPCIO-400-1/2 於閉迴路控制時,其作用為 Bypass 訊號

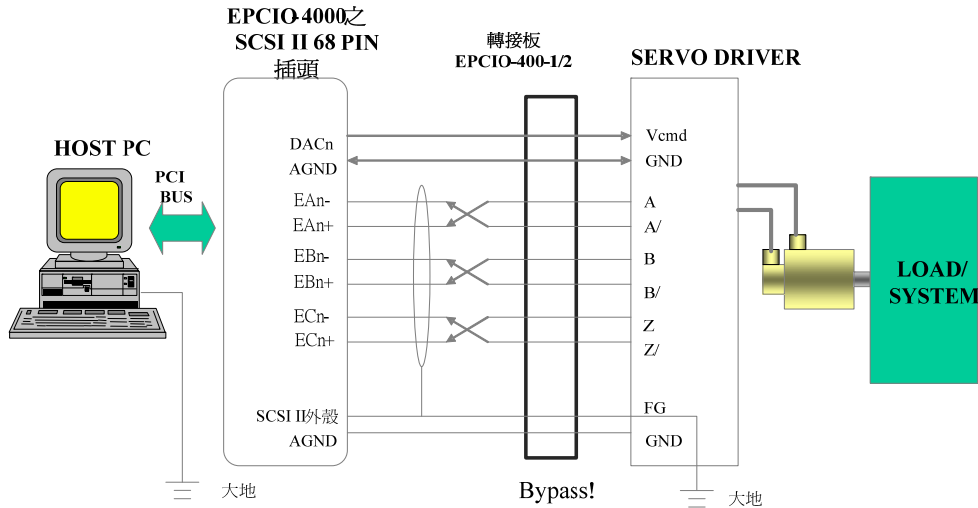


Fig.3-5-2

3.3.2 四軸同動/不同動脈波輸出控制

以下為 EPCIO-4000/4005 與脈波控制型伺服馬達/步進馬達系統連接圖

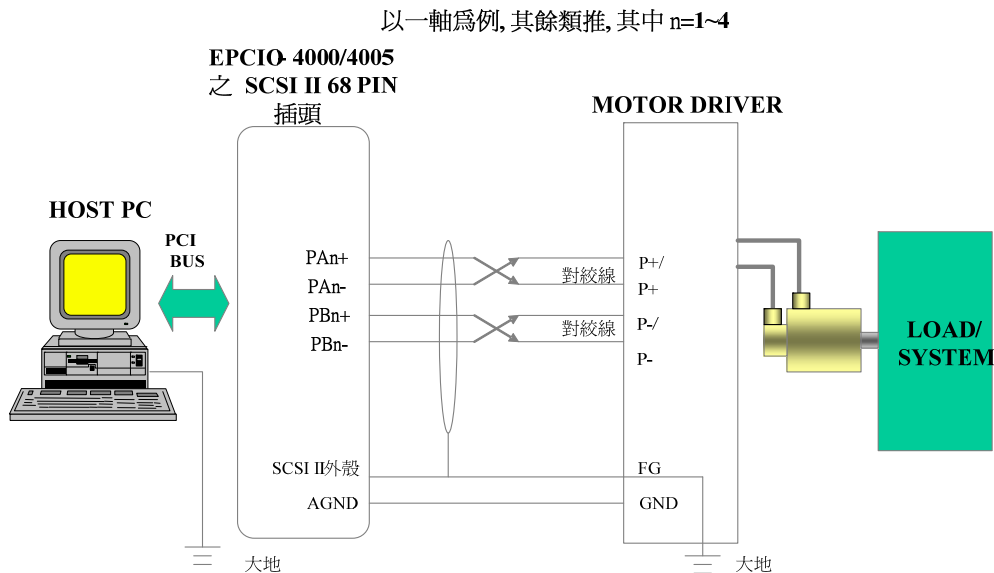


Fig.3-6-1

- $PAn+$ ， $PAn-$ ， $PBn+$ ， $PBn-$ 為第 n 組開迴路控制機制之脈波命令輸出點，須分別接至第 n 組 Motor Driver 之 $P+$ ， $P+/-$ ， $P-$ ， $P-/-$ 如圖所示(請參閱 Motor Driver 之使用手冊)
- 建議上面這四條線均使用對絞線以降低共模雜訊，另外如圖所示使用隔離網將這四條線與外界隔離，以降低外界對傳輸之干擾
- 將隔離網一端與 EPCIO-4000/4005 之 SCSI II 68PIN 接頭外殼對接，另一端與 Motor Driver 之 FG(Frame Ground)對接，並確定 PC 及 Servo Driver 都有接大地(註: SCSI II 68PIN 接頭外殼與 PC 外殼對接，而外殼通常與大地對接)
- **重要**---須有一條地線將 Servo Driver 之 GND 與 EPCIO-4000/4005 之 AGND 對接(這點非常重要，因為有可能造成致命損壞)
- 使用轉接板 EPCIO-400-1/2 於閉迴路控制時,其作用為 Bypass 訊號

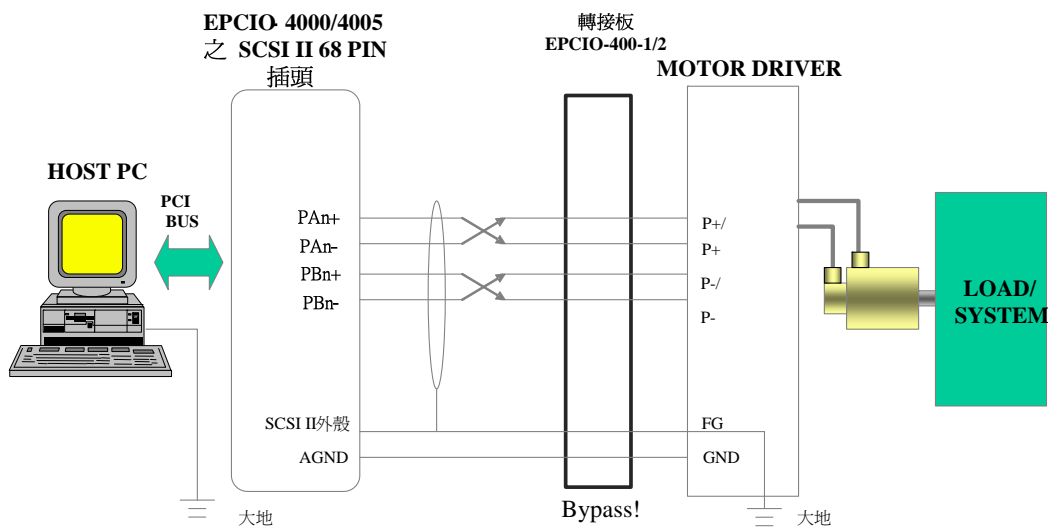
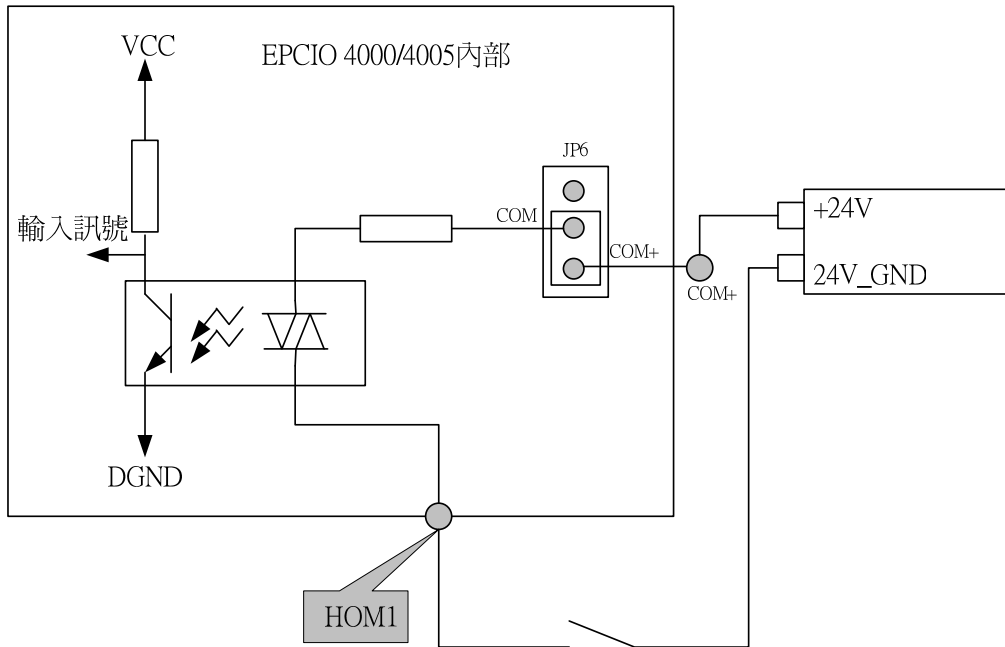


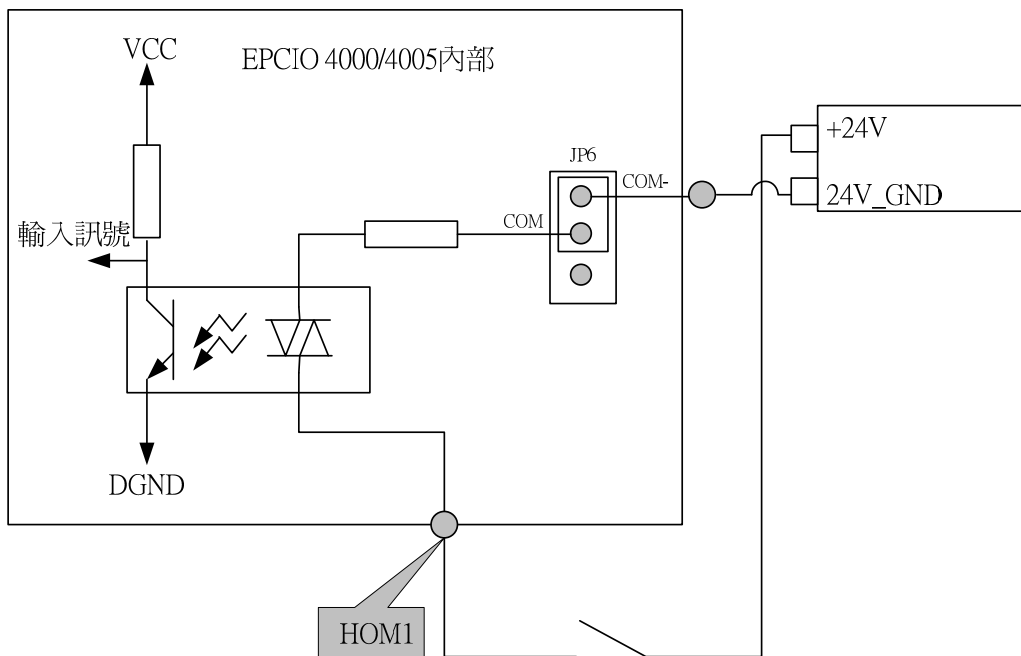
Fig.3-6-2

3.3.3 近端輸出入點配接

3.3.3.1 輸入部份配線



接線1：Source Input Type



接線2：Sink Input Type

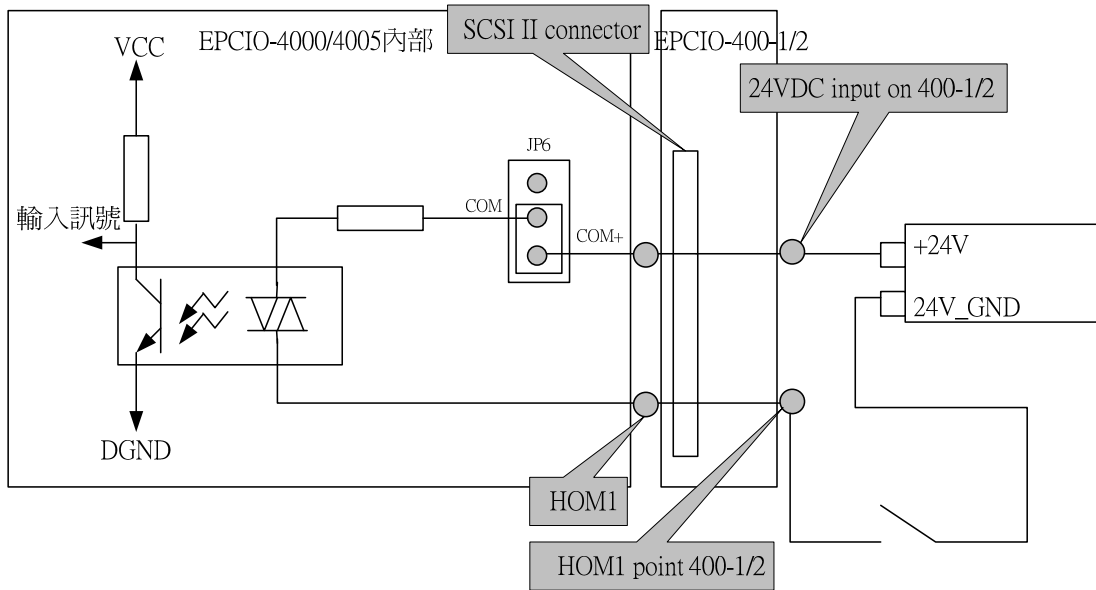
Fig.3-7



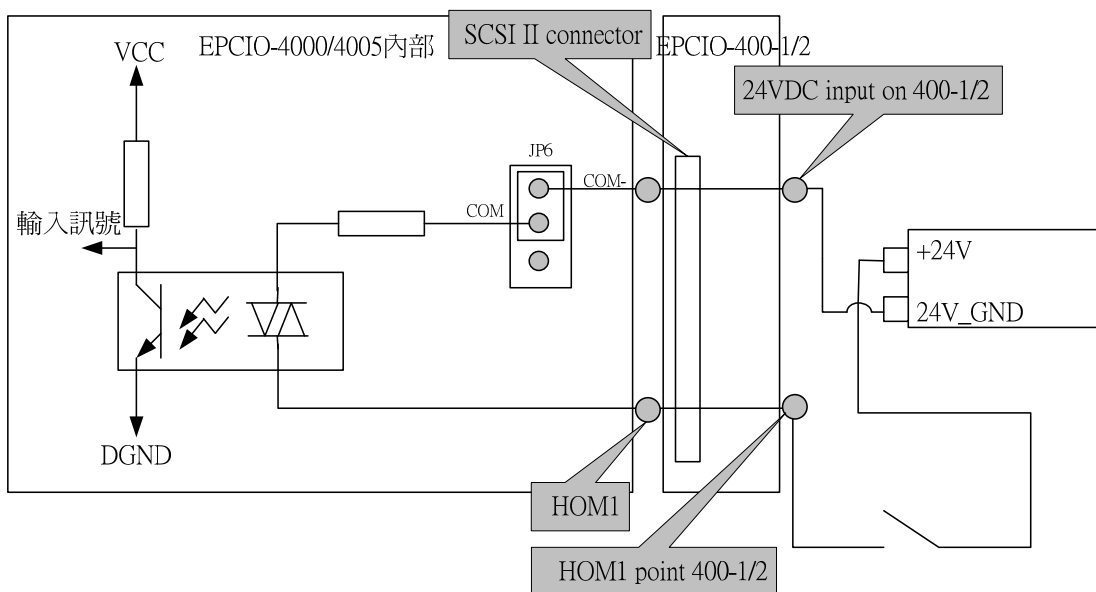
- 參考[Fig3-7](#)，圖中以HOM1 輸入點為例說明，其他輸入點類推
- 提供 Source Input Type 和 Sink Input Type 兩種輸入型式。輸入型式以 JP6 設定，設定好之後，所有的輸入點皆為同種輸入型式
- 當開關導通時，HOM1 讀取值為 0
- 當開關打開時，HOM1 讀取值為 1

注意：當使用機械式開關時，需注意彈跳現象

- 當使用轉接板 EPCIO-400-1/2 轉接時，其作用為 Bypass 訊號



接線1：Source Input Type



接線2：Sink Input Type

Fig.3-8

3.3.3.2 輸出部份配線

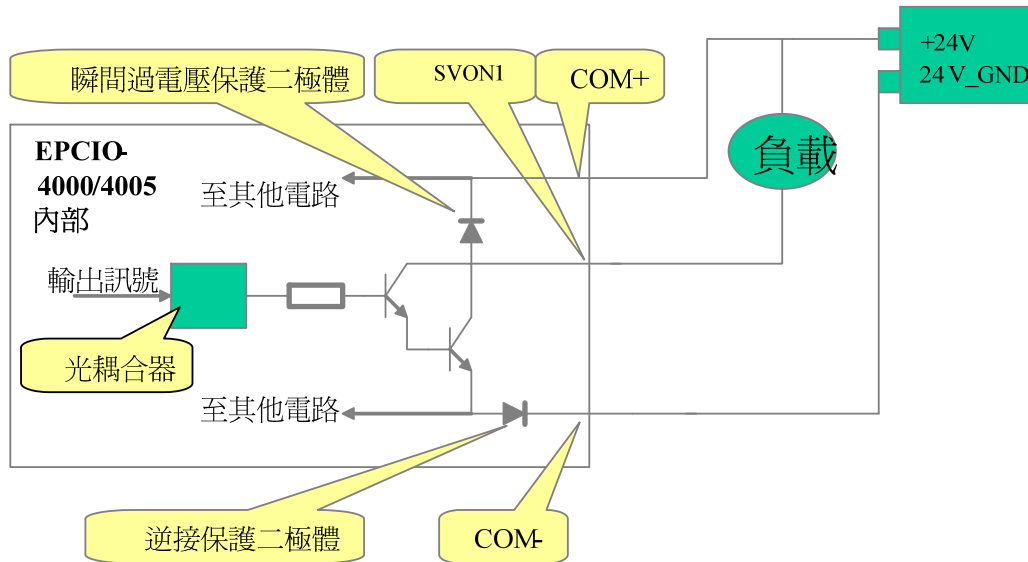


Fig.3-9

- 參考Fig.3-9，圖中電路是以SVON1輸出點為例，其他輸出點類推
- 只提供 Sink Output Type 一種輸出型式
- 當輸出訊號為 0 時，電晶體(達靈頓驅動級)導通，負載被驅動
- 每個輸出點驅動最大負載能力為 60mA，無負載狀況時將勿將 24V 電源直接接上輸出點
- 當負載為 RELAY 時，因有瞬間過電壓保護二極體，無須外接保護二極體來吸收突波雜訊

- 當使用轉接板 EPCIO-400-1/2 轉接時，其作用為 Bypass 訊號

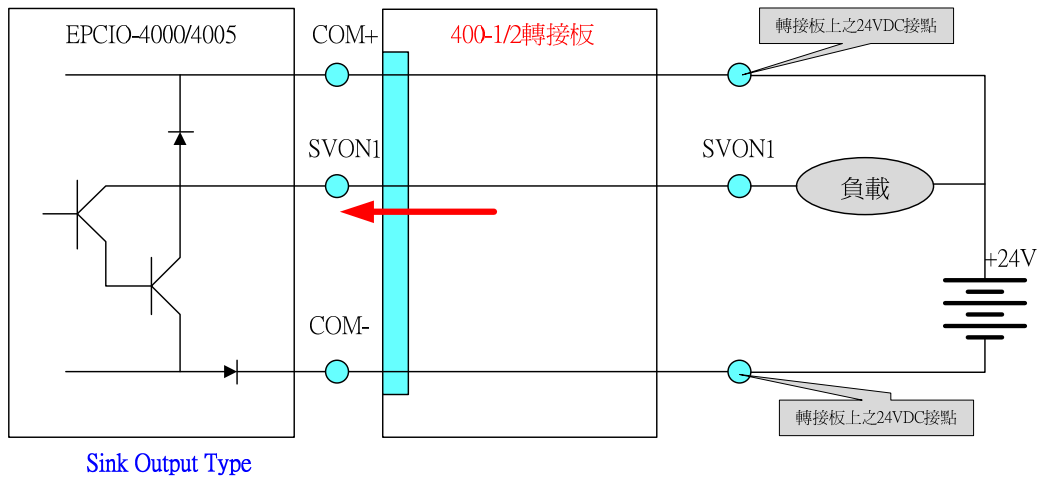


Fig.3-10

3.3.3.3 近端輸出入點配接----配合運動控制配線

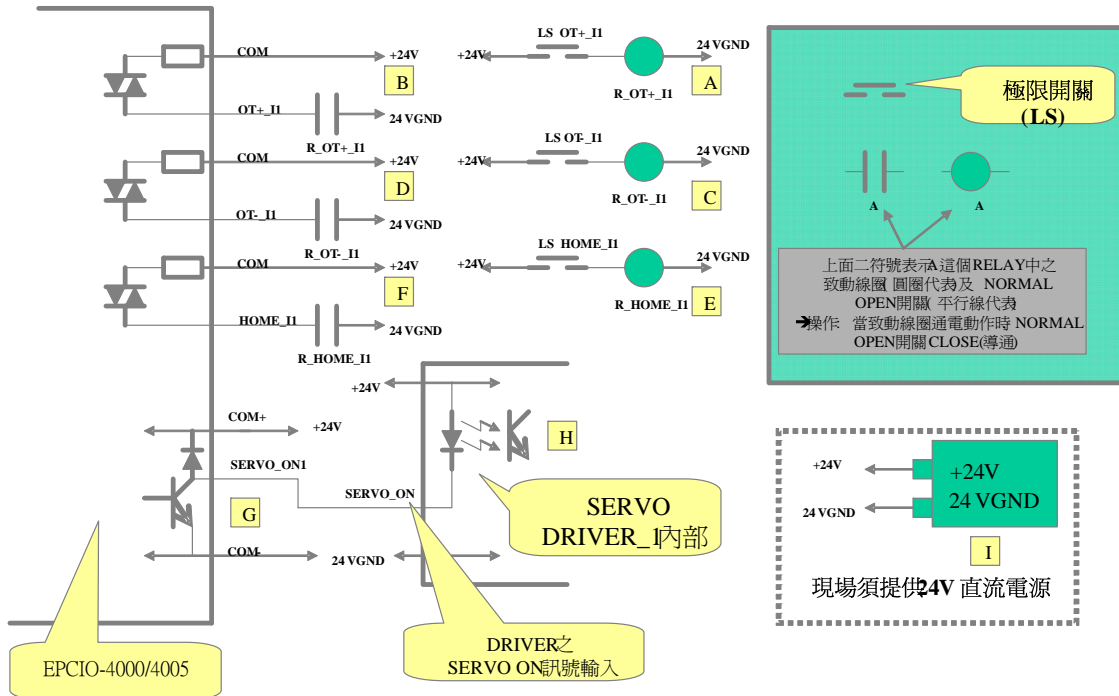


Fig.3-11

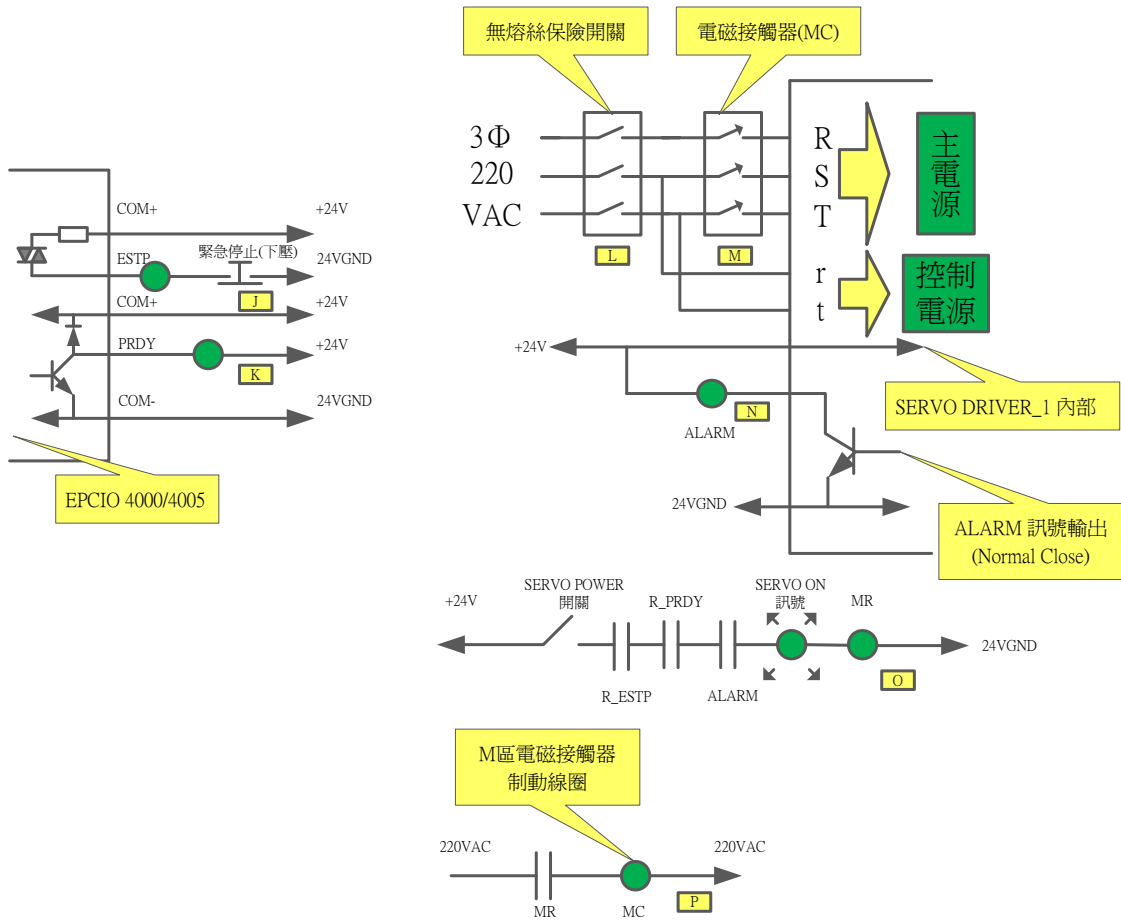


Fig.3-12

說明:

上述之電路是第一軸之配套 I/O 點說明，其他軸請類推

參考 Fig.3-11 和 Fig.3-12 標示之 A, B, C...

- 請看 A 區:當第一軸正向過行程極限開關(LS OT1+)導通時，可使 RELAY(標示為 R_OT1+)致動，此時 B 區之 Normal Open 開關(R_OT1+)便會關閉致使電流通過 SCSI II 68PIN 接頭上之 OT1+點，此時 OT1+讀取值便會由 1 變成 0
- 同理 C 區及 D 區為關於第一軸負向過行程極限開關(LS OT1-)
- 同理 E 區及 F 區為關於第一軸歸零點極限開關(LS HOM1)
- G 及 H 區:當第一軸之 SVON1 由 1 變 0 時，此時輸出之 Open Collector 導通，於是電流從 24V 電源流入第一軸 Servo Driver 的 SERVO_ON 點，再經由 Open Collector 電晶體流向地構成迴路，所以此時第一軸 Servo Driver 為 ON 的狀態(何謂 Servo On 請參考 Servo Driver 手冊)
- I 區為現場配線使用之 24V 直流電源，其注意事項為若使用二組以上之 24V 電源時須共地，另外導線不可太細以免傳輸壓降太大造成誤動作
- J 區:正常狀態下之緊急停止開關為 Closed，所以輸入構成迴路，此時 ESTP 讀取值為 0 且 Relay(R_ESTP)動作，當緊急停止開關壓下時，ESTP 讀取值為 1 且在硬體上使脈波輸出 Disable 及 DAC 輸出值為 0V
- 注意:在未安裝緊急停止開關線路便想進行測試時，須使用 JUMP 將 JP5 (ESTP)短路才能進行測試(JP5 短路表示 ESTP 功能 Disable)，在安裝好緊急停止開關線路之後也一定要將 JP5(ESTP)之 JUMP 移除，如此緊急停止線路才能正常動作
- K 區:當軟體啟動完成後，可藉由 P_RDY 點輸出信號通知外界,控制卡已啟動成功，使用者可利用此信號來控制馬達電源
- L 區:為主電源開關
- M 區:為可控制型之電力用電磁接觸器，其控制致動線圈為 MC
- N 區:當 Servo Driver 發生異常時輸出電晶體 Off，Alarm 迴路斷路
- O 區:當開關 R_ESTP Close(==>J 區之緊急停止未下壓)加上開關 R_P_RDY CLOSE(==>K 區:有輸出 Position Ready 訊息)再加上開關 Alarm Close(==>N 區:Servo Driver 未發生異常)，此時將 Servo Power 開關導通，便可使電路導通致動 Relay(MR)，而同時 P 區之開關(MR)也導通致使 220V 交流電通過 MC，於是 M 區的電磁接觸器啟動，220VAC 主電源便接上 Servo Driver

3.3.4 遠端輸出(RIO)配接線

EPCIO-4005 僅可接一組RIO

3.3.4.1 連接示意圖

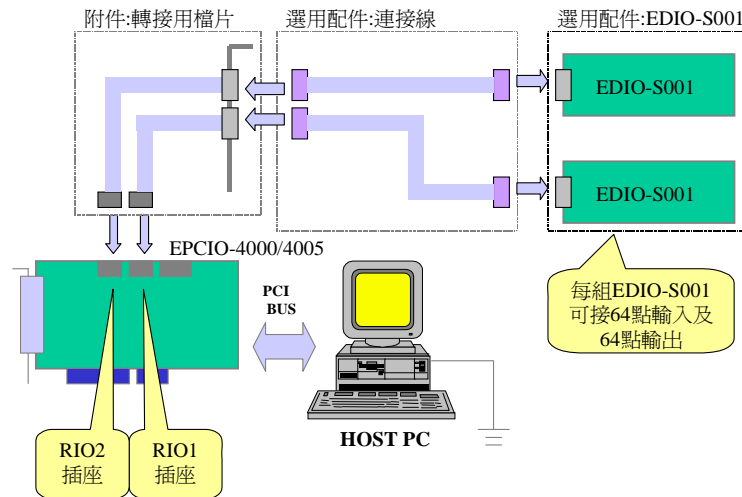


Fig.3-13

3.3.4.2 轉接用檔片說明

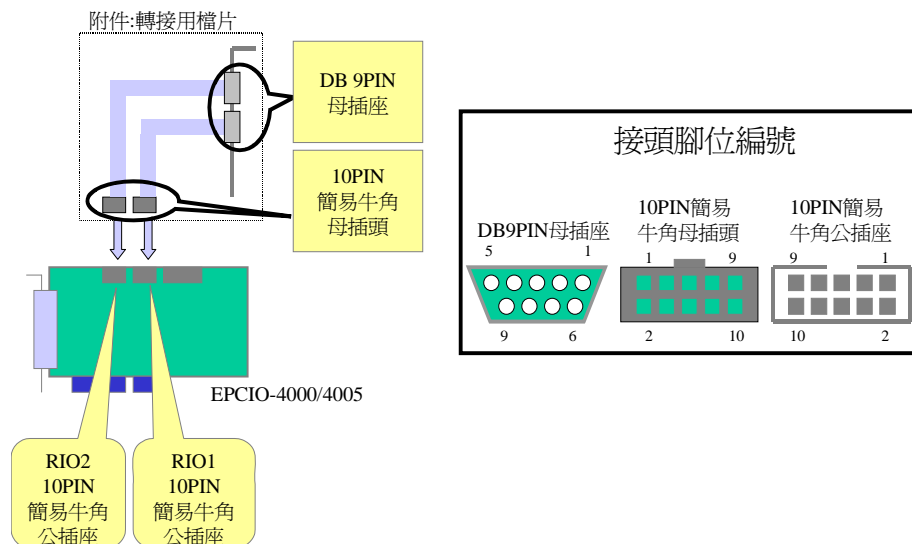


Fig.3-14

■ 說明

- ◆ 檔片上有二組排線，排線一端是10PIN簡易牛角母插頭用來分別插在EPCIO-4000之RIO1及RIO2插座上，別一端是DB9PIN母插座用來連

接外界之EDIO-S00X模組

- ◆ 排線內部連接方式如下(參考上面之腳位定義)

10PIN 簡易牛角母插頭 ↔ DB9PIN 母插座

1 ↔ 1

2 ↔ 2

3 ↔ 3

4 ↔ 4

5 ↔ 5

6 ↔ 6

7 ↔ 7

8 ↔ 8

9 ↔ 9

10 ↔ 未接

- ◆ 所以由排線定義得知，DB9 PIN 母插座腳位定義同 RIO 10PIN 簡易牛角公插座(除了第 10 腳未用)

3.3.4.3 EDIO-S001 遠端控制I/O子板部份說明

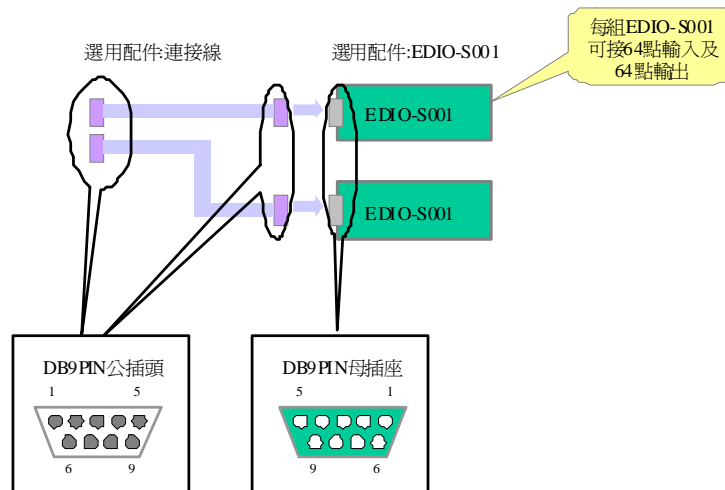


Fig.3-15

說明

- ◆ 連接線之兩個 DB9PIN 公插頭連接方式為 1 ↔ 1 ， 2 ↔ 2.....9 ↔ 9

- ◆ EDIO-S00X 之 DB9PIN 母插頭插孔定義

1 → CLK\	2 → SCS\	3 → SD0\	4 → SDI\	5 → GND
6 → CLK	7 → SCS	8 → SD0	9 → SDI	

3.3.5 類比轉數位(ADC)配線及說明

EPCIO-4000ADC選配；4005無此功能

3.3.5.1 請參考下圖

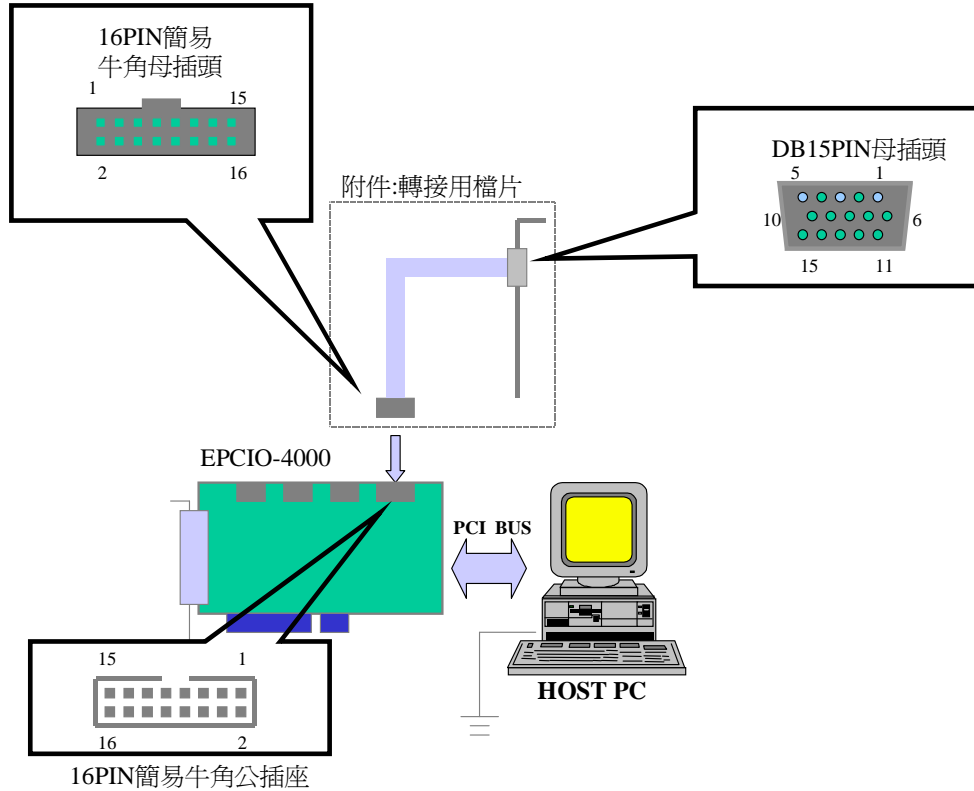


Fig.3-16

- 檔片上有一組排線，排線一端是 16PIN簡易牛角母插頭用來分別插在 EPCIO-4000 之ADC插座上,另一端是DB15PIN母插座用來配接外界所欲量測之訊號
- 排線內部連接方式如下(參考上面之腳位定義)

16PIN簡易牛角母插頭 ↔ DB15PIN母插座

1 ↔ 1
2 ↔ 2
3 ↔ 3
.....
14 ↔ 14
15 ↔ 15
16 ↔ 未接

3.3.5.2 DB15pin母插頭接腳說明

Pin 01:ADC+0	Pin 06:ADC+1	Pin 11:ADC+2
Pin 02:ADC-0	Pin 07:ADC-1	Pin 12:ADC-2
Pin 03:ADC+4	Pin 08:ADC+5	Pin 13:ADC+6
Pin 04:ADC-4	Pin 09:ADC-5	Pin 14:ADC-6
Pin 05:GND	Pin 10:GND	Pin 15:GND

註 ADC 編號順序，相對於 Device Driver 呼叫時之編號順序

3.3.5.3 配接說明

待測源電壓(註 1)	說明	軟體設定模式	JP4 設定	硬體配線方式
0~10VDC	待測源有共地點 (Single ended)	Unipolar	Unipolar(註 2)	Fig3-17(註 4)
0~10VDC	待測源無共地點	Unipolar	Unipolar	Fig3-18(註 4)
-5~5VDC	待測源有共地點 (Single ended)	Bipolar	Bipolar(註 3)	Fig3-17
-5~5VDC	待測源無共地點	Bipolar	Bipolar	Fig3-18

註 1: 待測源電壓是指 [Fig 3-17](#), [Fig 3-18](#) 之待測源正端(例:

V_ADC6+)減負端(例: V_ADC6-)之電壓差

註 2: Unipolar Mode,指 JP4 之 UNI 及 COM 短路

註 3: Bipolar Mode,指 JP4 之 BIP 及 COM 短路

註 4: [Fig3-17](#), [Fig 3-18](#) 上 15pin接頭之 1~4 pin, 6~9 pin, 11~14 pin 之

電壓與 AGND(5,10,15 pin)之電壓差需小於 15VDC

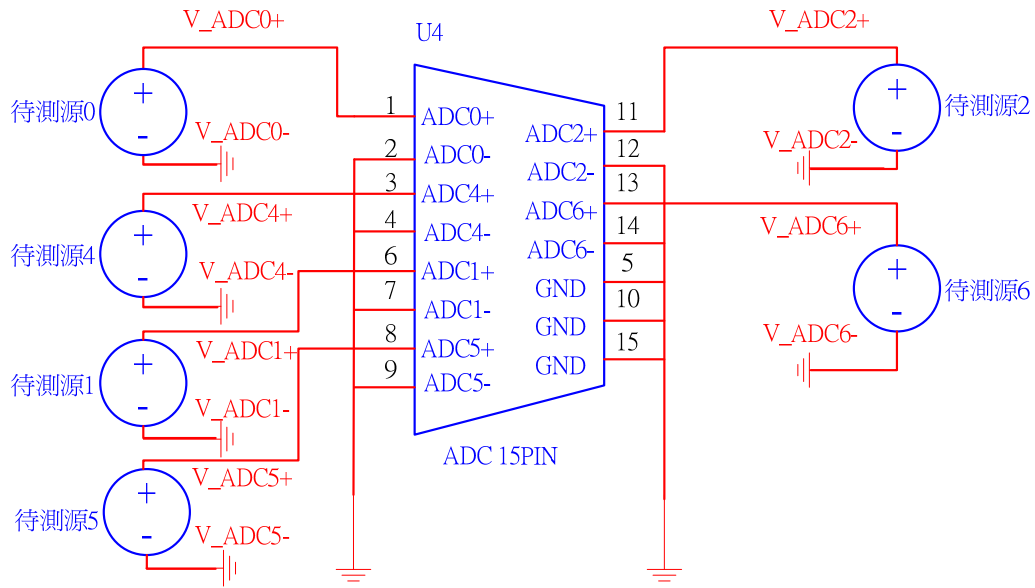


Fig.3-17 Single ended 待測源之接線方式

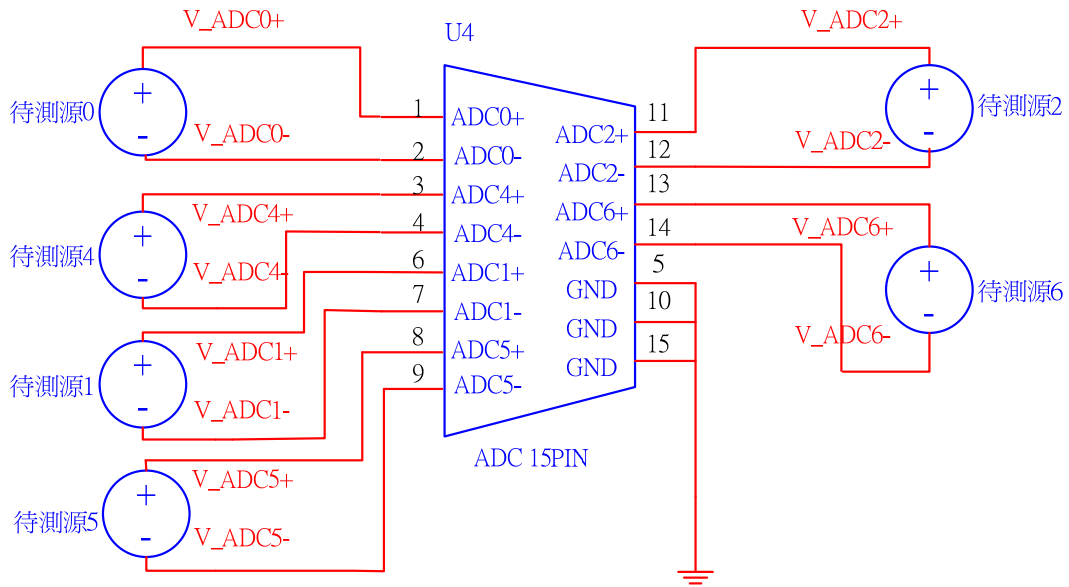


Fig.3-18 Differential 待測源之接線方式

3.3.6 手輪(MPG)配線及說明

3.3.6.1 請參考下圖

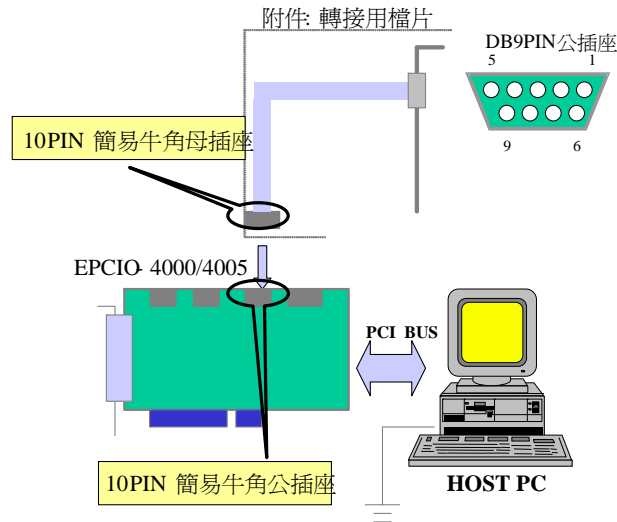


Fig.3-19

- 檔片上有一組排線，排線一端是 10PIN 簡易牛角母插頭用來分別插在 EPCIO-4000/4005 之 ENC_IN 插座上，另一端是 DB9PIN 公插座用來配接外界所輸入之編碼器訊號
- 排線內部連接方式如下(參考上面之腳位定義)

10PIN 簡易牛角母插頭 ↔ DB9PIN 公插座

1 ↔ 1
2 ↔ 2
3 ↔ 3
.....
8 ↔ 8
9 ↔ 9
10 ↔ NC

3.3.6.2 DB9pin公插頭接腳說明

Pin 01: A	Pin 06: A/
Pin 02: B	Pin 07: B/
Pin 03: C	Pin 08: C/
Pin 04: GND	Pin 09: V-out (+5V or +12V)
Pin 05: GND	

註：Pin 09: V-out 可由 JP1 選擇+5V 或 +12V

3.3.6.3 配線方式

參考 Fig 3-20 與 Fig 3-21。手輪配線方式分為 Differential 與 Single End 兩種型式。Single End 型式又分為 Open Collector 與 直接驅動兩種接線模式。如果使用者所使用的手輪，其配線方式為 Single End 型式，需進一步確認其接線模式為 Open Collector 或是直接驅動；如果無法確認，可兩種接線模式都試試看。

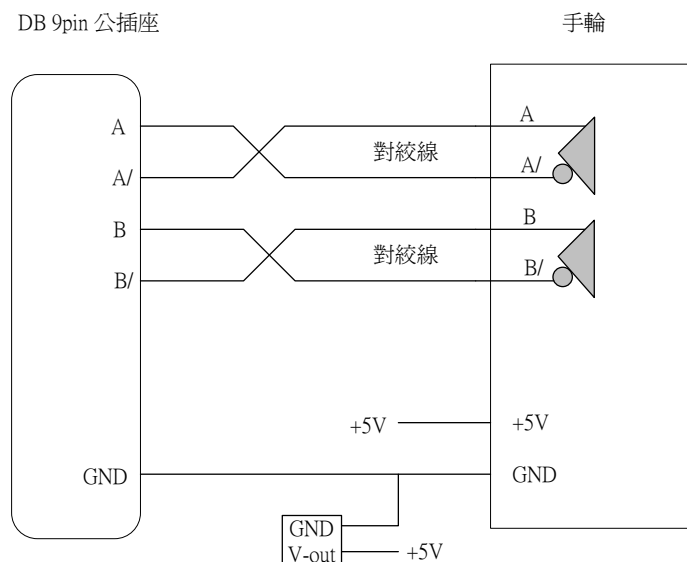
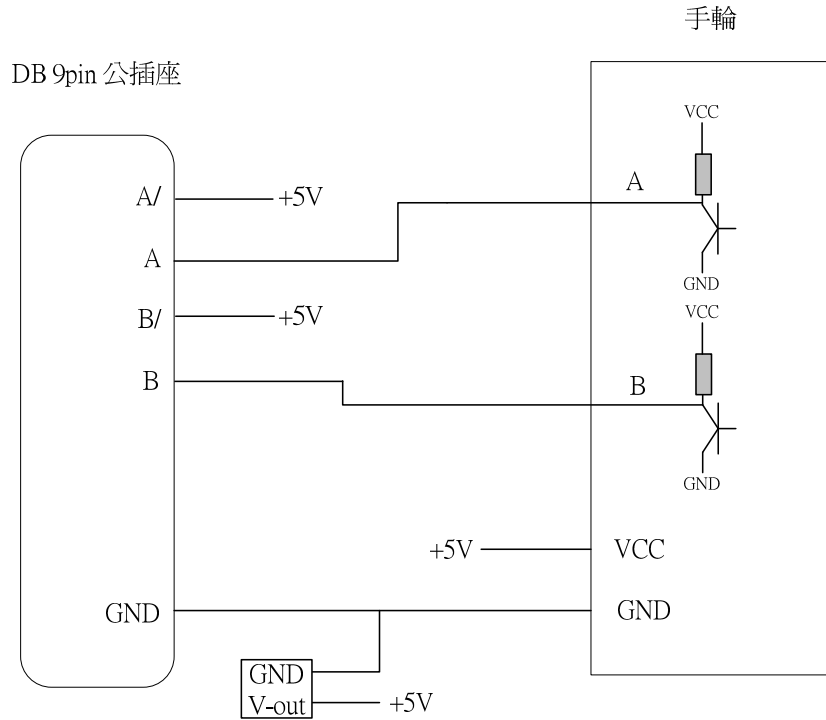
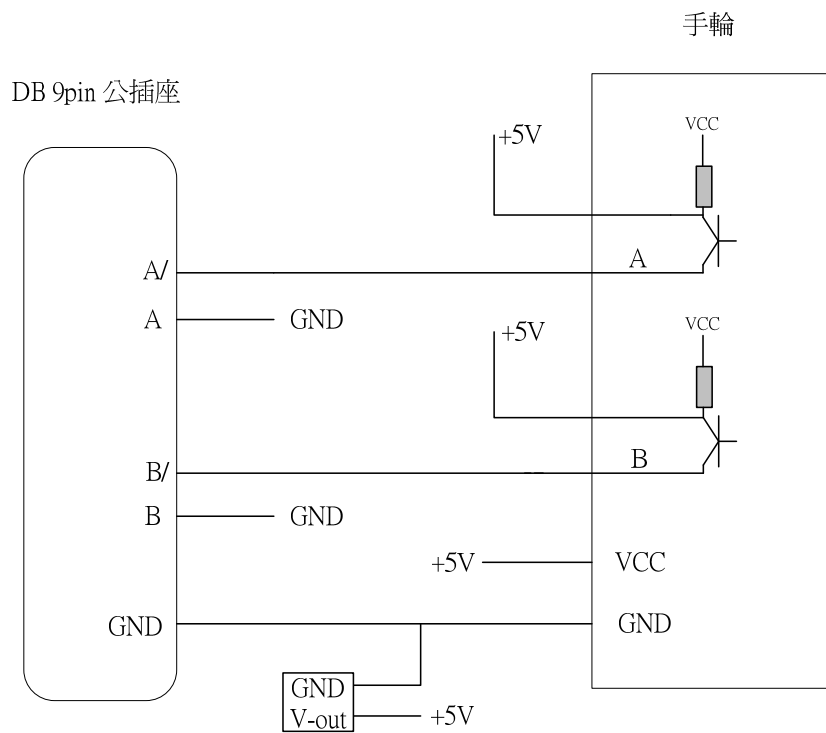


Fig.3-20 Differential 型式



接線模式1：Open Collector



接線模式2：直接驅動

Fig.3-21 Single End 型式



附錄

Revision History

日期	版本	修改內容
2009/04/07	3.1.4	P.33，SCSI II 68PIN接頭定義更正。 P.36，Fig.3-4 圖片更新，ADC 接頭定義不變。