



# EPCIO-6000e/6005e

## 硬體使用手冊

版本：V.1.0.0

日期：2020.03

<http://www.epcio.com.tw>



## 目 錄

<b>第 1 章 概論</b> .....	<b>3</b>
1.1. 功能介紹.....	3
1.2. 功能特色.....	4
1.3. 軟體支援.....	5
1.4. 連接示意圖及說明.....	6
1.5. 系統方塊圖.....	7
1.5.1. 六軸同動/不同動開迴路脈波(PULSE)輸出控制.....	8
1.5.2. 六軸同動/不同動閉迴路電壓(速度命令)輸出控制.....	12
1.5.3. 近端數位輸出入.....	13
1.5.4. 遠端數位輸出入.....	13
1.5.5. 類比轉數位轉換器(8 組 ADC) .....	13
1.5.6. 數位轉類比轉換器(6 組 DAC) .....	13
<b>第 2 章 規格</b> .....	<b>15</b>
2.1. 系統架構.....	15
2.2 運動控制規格.....	16
2.2.1 開迴路脈波(PULSE)輸出控制.....	16
2.2.2 閉迴路電壓(Velocity)輸出控制.....	19
2.3 數位轉類比轉換器 .....	21
2.4 編碼器輸入規格.....	22
2.5 近端數位輸出入點.....	24
2.6 遠端數位輸出入點.....	26
2.7 類比轉數位轉換.....	28
2.8 計時器 (TIMER) 及看門狗計時器 (WATCH DOG) .....	30
<b>第 3 章 硬體安裝及使用說明</b> .....	<b>31</b>
3.1. 系統基本安裝步驟.....	31
3.2. 硬體板面配置及各接頭定義.....	32
3.2.1. 硬體板面配置.....	32
3.2.2 板面各接頭定義.....	33
3.3. 接線說明.....	38
3.3.1. 六軸同動/不同動電壓輸出閉迴路控制 .....	38
3.3.2. 六軸同動/不同動脈波輸出控制 .....	40



3.3.3	近端輸出入點配接.....	42
3.3.4	遠端輸出入(RIO)配接線.....	47
3.3.5	ADC 配線及說明.....	50
3.3.6	轉接板選用說明.....	53

## 第 1 章 概論

### 1.1. 功能介紹

EPCIO-6000e/6005e PCI Express(PCIe)系列運動控制卡應用工研院機械所開發之 EPCIO ASIC，以 DDA(Digital Differential Analyzer)方式均勻送出各軸脈波移動量，實現六軸定位及同動/不同動控制。在脈波輸出控制時，亦可藉由編碼器輸入端讀回馬達編碼器值，適用於脈波介面伺服馬達或步進馬達控制。(註 1)

本卡硬體閉迴路控制迴路，採用 P 控制機制，以-10V 至 10V 之電壓輸出訊號驅動速度介面伺服馬達，可應用於多軸精密伺服控制。(註 2)在每一軸控制中皆有一組 sensor 輸入點，包括了 Home 點、上行程極限點及下行程極限點，另外尚有禁制信號輸出點、Position Ready 輸出點及 Emergency Stop 輸入點。

在其它輸出入點部份，使用了省配線化 IO 設計，最大可擴充至 128 點輸入點及 128 點輸出點(EPCIO-6005e 為 64 點輸入 64 點輸出)；另外 EPCIO-6000e 卡尚可選配一組 8 channel 之 A/D 轉換器(EPCIO-6005e 無此項功能)。

註 1：DDA 請參考 [Fig.1-3](#)、[Fig.1-4](#)。

註 2：P 控制法請參考 [Fig.1-8](#)。



## 1.2. 功能特色

- PCI-E 2.0 X1 介面(工作時脈2.5GHz, 資料速率500 MB/s)
- 6組閉迴路控制或開迴路控制
- 6組 16 bits D/A轉換器(EPCIO-6005e無此項功能)
- 6組 32 bits 編碼器輸入端
- 19點專用數位輸入點及7點專用數位輸出點
- 8個12 bits A/D轉換輸入點(Optional for EPCIO-6000e ; EPCIO-6005e無此項功能)
- 256點遠端串列傳輸數位輸出入點介面(EPCIO-6005e為128點)
- 內建24 bits計時器(TIMER)
- 內建16 bits看門狗計時器(WATCH DOG TIMER)
- 摘要表

	開迴路 控制	閉迴路 控制	編碼器 輸入端	D/A	A/D	LIO	RIO	計時器	看門狗 計時器
EPCIO-6000e	6	6	6	6	8(option)	19In 7Out	128In 128Out	Yes	Yes
EPCIO-6005e	6	X	6	X	X	19In 7Out	64In 64Out	Yes	Yes

Note :

- DAC : 數位類比轉換器
- ADC : 類比數位轉換器
- LIO : 近端輸出入點
- RIO : 遠端輸出入點介面



### 1.3. 軟體支援

- EDDL—EPCIO series 驅動函式庫(EPCIO Device Driver Library)

共有超過 160 個函式可供使用者呼叫，詳情請參閱”EPCIO Series 驅動函式庫使用手冊”及”EPCIO Series 驅動函式庫參考手冊”。

- MCCL—EPCIO series 運動控制函式庫(Motion Control Command Library)

提供 2D 及 3D 點對點、直線、圓弧、螺旋等運動控制功能，並提供使用者設定機構及運動等參數，共有約 200 多個函式可供呼叫，詳情請參閱”EPCIO Series 運動控制函式庫使用手冊”及”EPCIO Series 運動控制函式庫參考手冊”。

## 1.4. 連接示意圖及說明

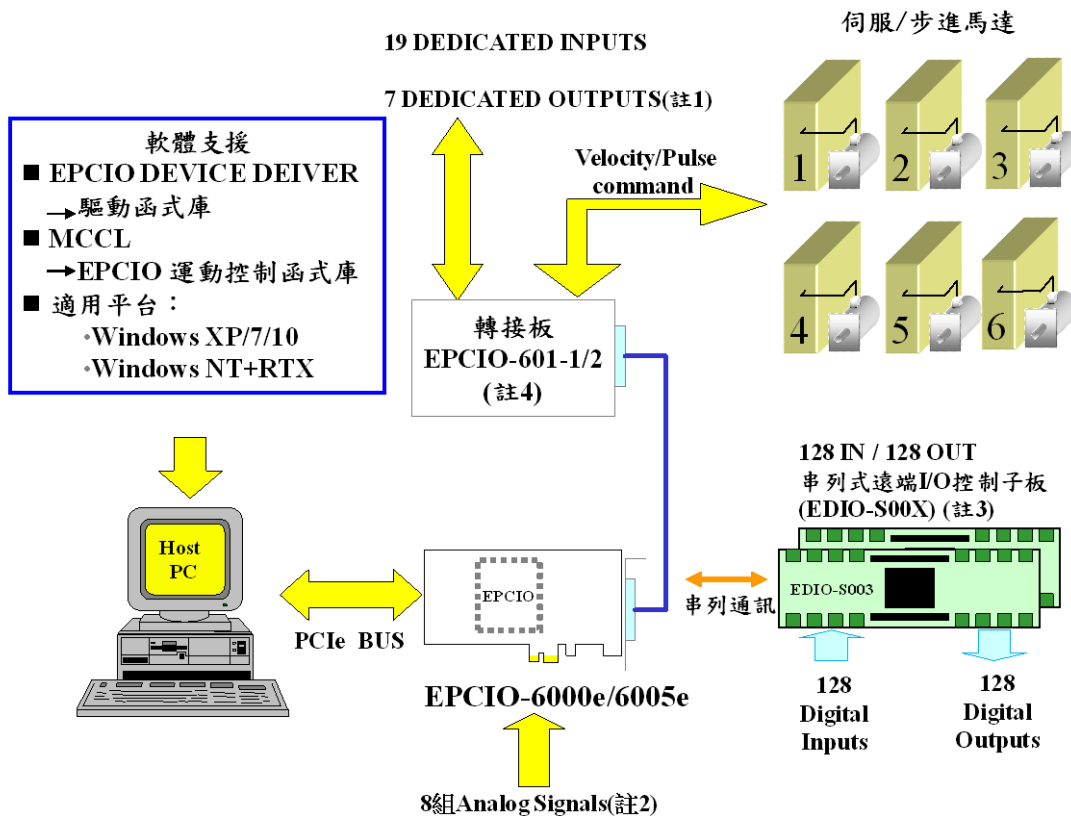


Fig.1-1

註 1：EPCIO-6005e 只送出 pulse command。

註 2：EPCIO-6000e 可選配 ADC，EPCIO-6005e 無 ADC 供選配。

註 3：EPCIO-6005e 只能接一片 EDIO-S00X，最多支援 64 IN /64 OUT。

EDIO-S00X 表 EDIO-S003、EDIO-S005。

EDIO-S003H 為 32 IN /32 OUT。

註 4：可選用之轉接板。

EPCIO-601-1：萬用轉接板。

EPCIO-601-2：PANASONIC MINAS 專用轉接板。

## 1.5. 系統方塊圖

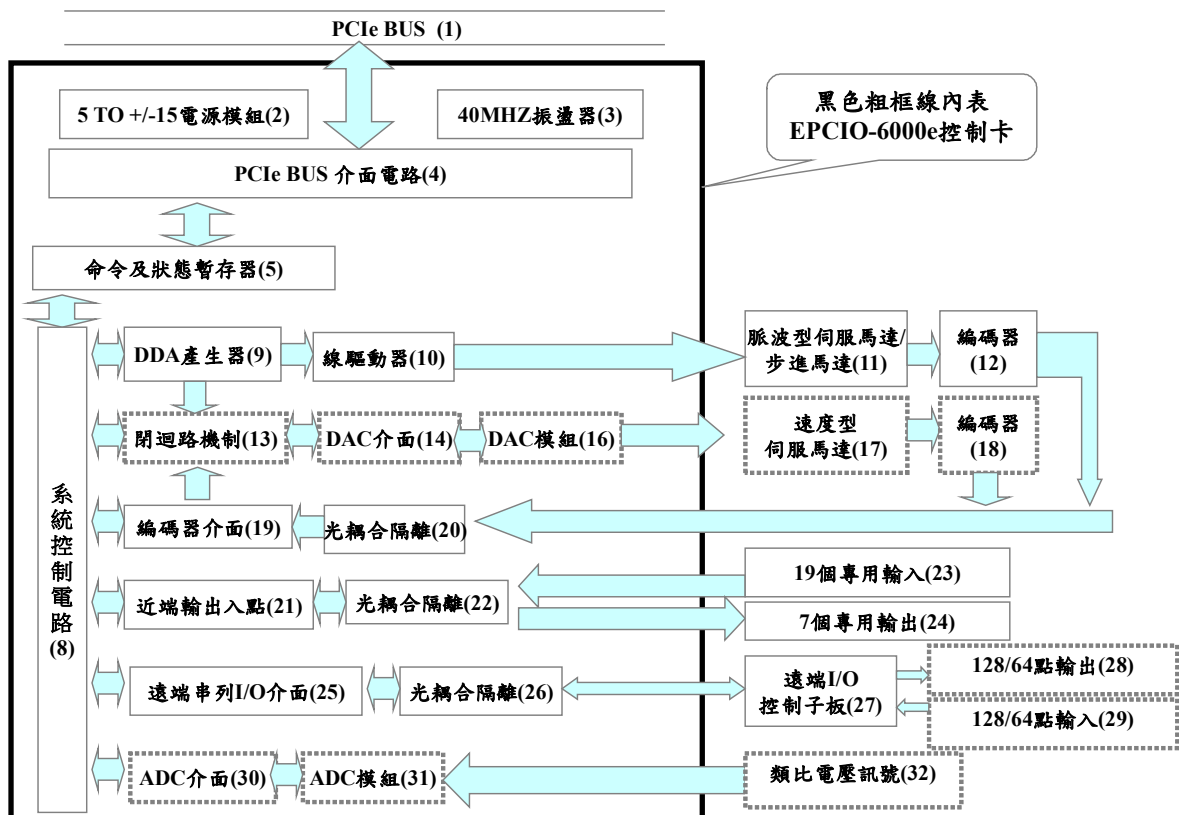


Fig.1-2

說明：Fig 1-2 虛線說明：

- 方塊(13)、(14)、(16)、(17)、(18)、(30)、(31)、(32)，在 EPCIO-6005e 上因為沒有硬體閉迴路及 ADC 電路，所以不具備這些方塊功能；另外 EPCIO-6000e 之 ADC 亦為選配。
- 方塊(28)、(29)在 EPCIO-6005e 上只有 64 點輸入及 64 點輸出。



### 1.5.1. 六軸同動/不同動開迴路脈波(PULSE)輸出控制

參考系統方塊圖 Fig1-2，PC 端藉由驅動程式或 MCCL 下達定位指令，並經由 **PCIe BUS(1)** 傳至 EPCIO-6000e/6005e 卡上之 **PCIe BUS 介面電路(4)**，此時經由 **命令及狀態暫存器(5)** 及 **系統控制電路(8)** 解譯指令並驅動內部之 **DDA 產生器(9)** 均勻送出脈波 (PULSE)(可選擇為 A/B PHASE、CW/CCW、及 PULSE/DIRECTION 等三種格式)，脈波再經由 **線驅動器(10)**(MC3487) 以 DIFFERENTIAL 訊號型式送至外界馬達驅動器以驅動 **脈波介面伺服馬達/步進馬達(11)**，如有需要時馬達 **編碼器(12)** 訊號亦可經由 **光耦合隔離(20)** 進入 **編碼器介面(19)**，再經由 **系統控制電路(8)** 放至 **命令及狀態暫存器(5)**，供 CPU 讀取。

註 1：使用注意事項

1. EPCIO ASIC 內部有六組運動控制核心機制，每組可選擇為下列二種輸出控制模式之一：

----閉迴路電壓(速度命令)輸出控制。

----開迴路脈波(PULSE)輸出控制。

使用者可規劃使用 M 組閉迴路控制及 N 組開迴路控制，但須滿足  $M+N \leq 6$ 。

**EPCIO-6005e 僅支援開迴路脈波(PULSE)輸出控制**

2. 在 EPCIO-6000e 上對應每組控制核心之硬體資源如下：

----1 組控制核心[控制核心=**DDA 產生器(9)**+**閉迴路機制(13)**]。

----1 組 **線驅動器(10)**。

----1 組 DAC[**DAC**=**DAC 介面(14)**+**DAC 模組(16)**]。

----1 組 編碼器介面[**編碼器介面**=**編碼器介面(19)**+**光耦合隔離(20)**]。

3. 當使用某組控制核心規劃為開迴路脈波輸出控制時，EPCIO-6000e 會使用控制核心中之 **DDA 產生器(9)**(脈波產生器)及一組 **線驅動器(10)**，此時該組控制核心所對應之 DAC 及編碼器介面可空出來，CPU 可獨立下命令使用；若規劃為閉迴路電壓(速度命令)輸出控制時，則 EPCIO-6000e 會使用控制核心中之 **DDA 產生器(9)**，**閉迴路機制(13)**，一組 DAC 輸出及一組編碼器介面，但此時該組控制核心所對應之 **線驅動器(10)** 會被棄置，無法為 CPU 單獨使用。

4. 在 EPCIO-6000e 上對應 6 組控制核心之硬體資源總數如下：

----6 組控制核心[控制核心=**DDA 產生器(9)**+**閉迴路機制(13)**]。

----6 組 **線驅動器(10)**。

----6 組 DAC[**DAC**=**DAC 介面(14)**+**DAC 模組(16)**]。

----6 組編碼器介面[**編碼器介面**=**編碼器介面(19)**+**光耦合隔離(20)**]。

- 5：範例

某人在 EPCIO-6000e 規劃 4 組閉迴路及 2 組開迴路控制，那麼 EPCIO-6000e 上之硬體資源分配如下：

➔4 組閉迴路控制所以需要 4 組控制核心，4 組 DAC 及 4 組編碼器介面

2 組開迴路控制所以需要 2 組控制核心及 2 組線驅動器(10)。

因此：

6 組控制核心----全部使用。

6 組線驅動器(10)----佔用 2 組，4 組無法使用(因用了 4 組閉迴路控制之故)。

6 組 DAC----佔用 4 組，剩餘 2 組可另外獨立使用。

6 組編碼器介面----佔用 4 組，剩餘 2 組可另外獨立使用。

註 2：DDA 產生器原理參考下圖 Fig.1-3 及 Fig.1-4

- ❖ DDA: DIGITAL DIFFERENTIAL ANALYZER
- ❖ 功能: DDA 產生器接受來自 CPU 之定位命令(即馬達所須轉動之編碼器格數)及執行該命令所需之時間(定義為 DDA CYCLE TIME), 經解算後, DDA 產生器即可將所須轉動之格數在 DDA CYCLE TIME 內以脈波型式均勻送出
- ❖ 說明一:  
參考下圖, 若定位命令為正轉行走 1000 個編碼器格數(設馬達啟始位置為第 0 格), 命令執行時間(DDA CYCLE TIME) 為 0.5 SEC, 則 DDA 產生器在 0.5 SEC 內可均勻送出 1000 個脈波 (pulse), 可使馬達均勻(即等速)轉動 1000 格

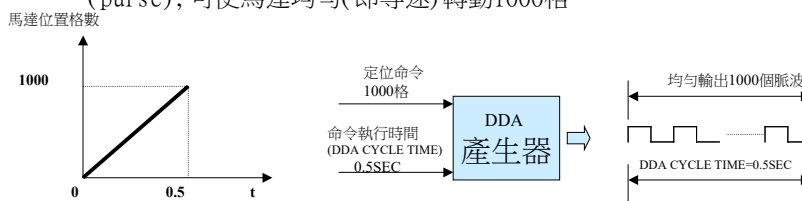


Fig.1-3

- ❖ 說明二  
參考下圖, 橫軸為時間, 其中  $\Delta t$  為 DDA CYCLE TIME 縱軸為馬達轉動格數  
第一區間: 馬達從第 0 格正轉等速走至第 1000 格, 轉速為 1000 格 /  $\Delta t$   
第二區間: 馬達靜止在 1000 格  
第三區間: 馬達從第 1000 格正轉等速走至第 1500 格, 轉速為 500 格 /  $\Delta t$   
第四區間: 馬達靜止在 1500 格  
第五區間: 馬達從第 1500 格反轉等速走回第 0 格, 轉速為 1500 格 /  $\Delta t$
- ❖ 同一  $\Delta t$  所走格數愈多, 馬達轉愈快, 行程愈遠
- ❖ 對相同行走格數而言,  $\Delta t$  愈小馬達轉愈快

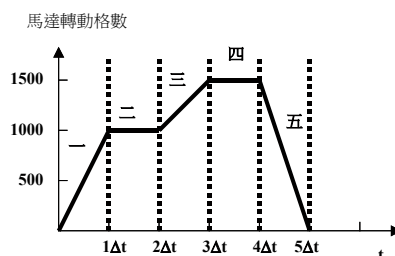


Fig.1-4

註 3：DDA 產生器送出之脈波(PULSE)指令有 PULSE/DIR，CW/CCW 及 A/B PHASE 三種 PULSE 格式可選，視馬達可接受之格式如下圖 Fig.1-5。

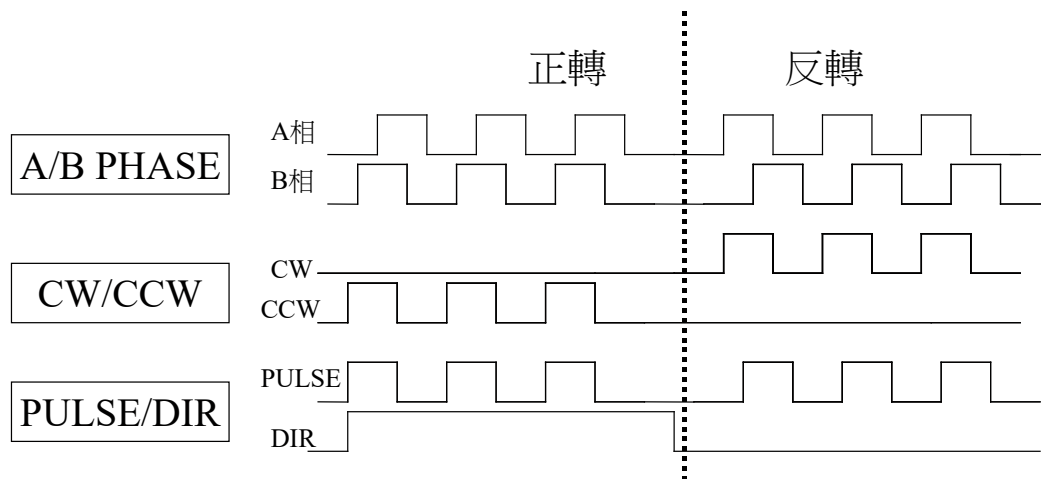
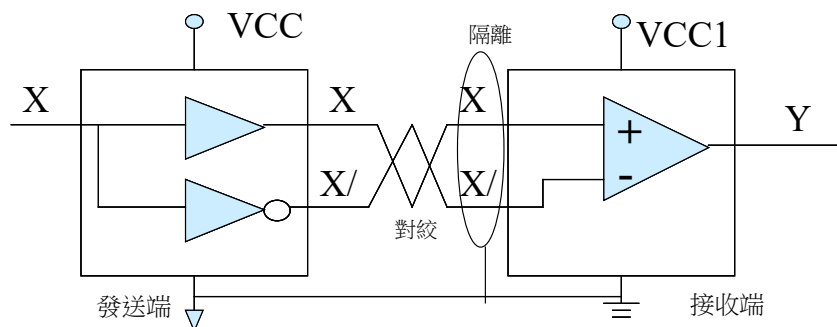


Fig.1-5

註 4：DIFFERENTIAL 訊號傳輸方式說明如下圖 Fig.1-6。



發送端	傳輸線中之訊號		接收端
X	X	X/	Y
0	0	1	0
1	1	0	1

- ❖ 發送端將輸入訊號X轉換成X及X/ 輸出
- ❖ 接收端將輸入之X及X/ 比較後得Y
- ❖ 真值表如左圖
- ❖ 以DIFFERENTIAL 方式傳送可有效消除共模雜訊
- ❖ 發送端及接收端之參考地須相接以防發送端及接收端因地電位不同而被漏電流損壞
- ❖ 建議以對絞線方式傳送, 並且加隔離網

Fig.1-6

註 5：最終以 DIFFERENTIAL 訊號方式自 EPCIO-6000e/6005e 傳送之 PULSE FORMAT 如下圖 Fig.1-7。

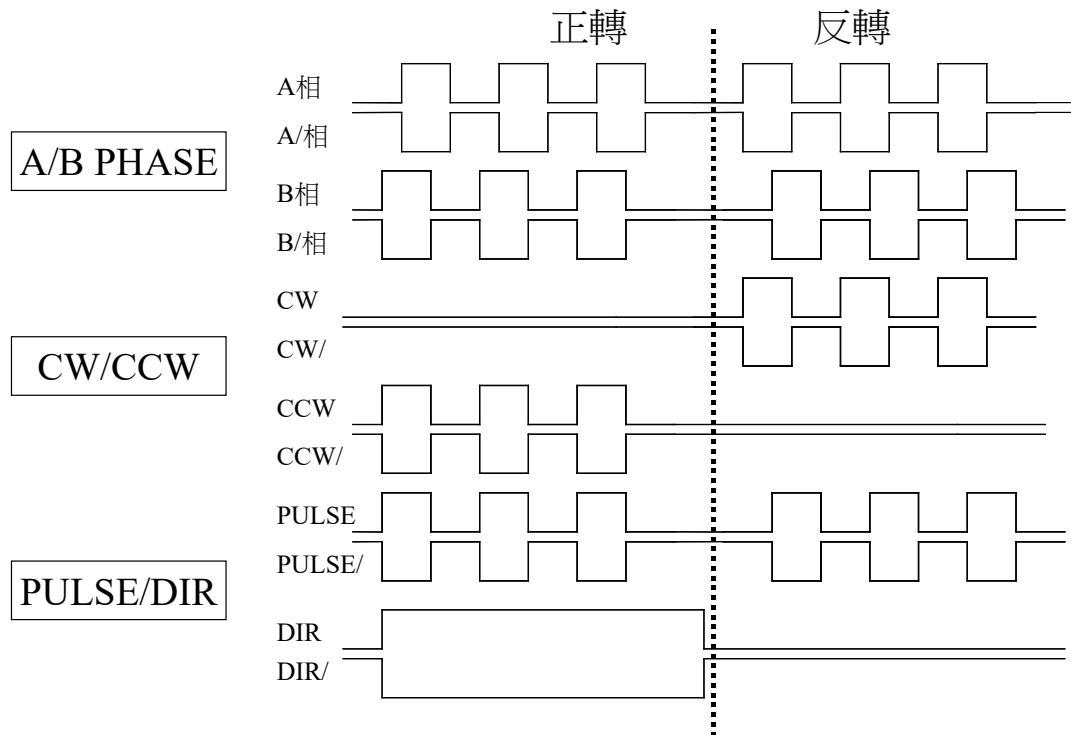


Fig.1-7

註 6：編碼器介面可選擇為 INDEX 訊號輸入加上 A/B PHASE 或 CW/CCW 或 PULSE/DIR 格式，當選擇 A/B PHASE 時亦可將編碼器輸入訊號乘 0 倍(禁止輸入)、1 倍、2 倍或 4 倍。

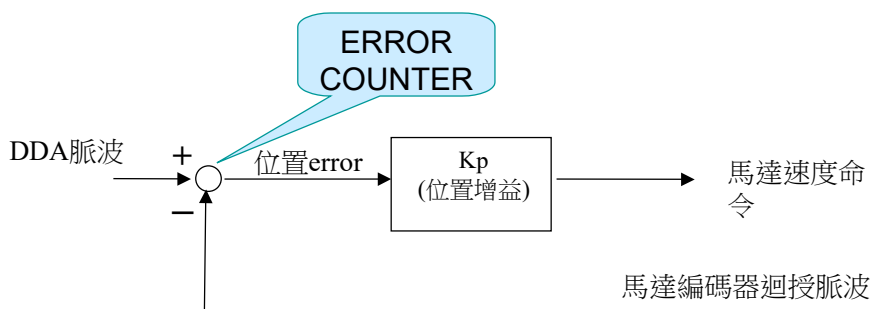
## 1.5.2. 六軸同動/不同動閉迴路電壓(速度命令)輸出控制

### EPCIO-6005e 未支援此功能

參考系統方塊圖 Fig.1-2，PC 端藉由驅動程式下達指令，並經由 PCIe BUS 傳至 EPCIO-6000e/6005e，EPCIO ASIC 此時解譯指令並驅動內部之 DDA 產生器(9)均勻送出脈波，脈波再送至閉迴路機制(13)，於此同時回授馬達編碼器(18)之訊號(DIFFERENTIAL DRIVE 型式)經由連接頭進入 EPCIO-6000e/6005e，經由光耦合隔離(20)接收及訊號隔離，進入編碼器介面(19)進行訊號處理(含濾波)，再送入閉迴路機制(13)進行計算。閉迴路機制(13)於是根據 DDA 送來的脈波數量及由編碼器回授之脈波數量來作 P 法測回授控制，並將處理之結果經由 DAC 介面(14)(D/A→數位轉類比)去驅動 DAC 模組(16)(含 AD1866R 及 TL074 放大級)來產生 -10V 至 +10V 之電壓輸出訊號(速度命令)，最後再經由連接頭去驅動速度介面伺服馬達(17)。

註 1：參考 1.5.1 之註 1。

註 2：閉迴路控制為 P-TYPE 控制法測如下圖 Fig.1-8。



- ❖ 位置ERROR(即ERROR SIGNAL)記錄在ERROR COUNTER 內
- ❖ 位置ERROR=DDA脈波-馬達編碼器迴授脈波

**Fig.1-8**

註 3：速度介面伺服馬達：馬達驅動器之介面為速度命令輸入格式(以電壓表示速度命令)，一般規格為電壓輸入範圍為-10V~+10V 表馬達轉速從反轉最高速至正轉最高速，其間轉速隨輸入電壓作線性對應。

### 1.5.3. 近端數位輸出入

參考系統方塊圖 Fig.1-2, PC 端藉由驅動程式下指令, 並經由 PCIe BUS 至 EPCIO-6000e/6005e 上之 ASIC, 此 ASIC 便根據指令對近端輸出入點(21) 讀取資料或寫入資料, 其中輸出點經由光耦合隔離(22) 並放大驅動能力後與外界連接, 而輸入點也是經過光耦合隔離(22) 後進入至近端輸出入點(21)。

### 1.5.4. 遠端數位輸出入

參考系統方塊圖 Fig.1-2, EPCIO-6000e/6005e 使用機械所專利的遠端省配線 IO 設計, 使用串列通訊方式透過遠端串列 I/O 介面(25) 及光耦合隔離(26) 與遠端 I/O 控制子板(27) 串接, 最大可擴充至 128 點輸出(28) 及 128 點輸入(29)。

註 1: EPCIO-6000e/6005e 卡上有 RIO1 及 RIO2 兩個插座, 每個插座可串接一個遠端串列 I/O 控制子板(編號 EDIO-S00X), 每片 EDIO-S00X 有 64 個輸入點及 64 點輸出點(EDIO-S003H 為 32 IN /32 OUT), EPCIO-6005e 僅有 RIO1 一個插座。

### 1.5.5. 類比轉數位轉換器(8 組 ADC)

#### **EPCIO-6000e 選配; EPCIO-6005e 未支援此功能**

參考系統方塊圖 Fig.1-2, 可將 8 組類比電壓訊號(32) (選擇 -5V 至 5V 或 0 至 10V 範圍) 接至 ADC 模組(31), EPCIO-6000e 再藉由 ADC 介面(30) 讀取輸入電壓值(12 bits 解析度)。

### 1.5.6. 數位轉類比轉換器(6 組 DAC)

#### **EPCIO-6005e 未開放此功能**

EPCIO-6000e 提供六組類比電壓輸出界面, 輸出電壓範圍為 ±10 伏特。此六組類比電壓輸出界面每一組可搭配一組編碼器回授及一組脈波輸出控制進行硬體閉迴路控制, 但當該組不作為硬體閉迴路控制時, 則 D/A 轉換器可單獨使用。

參考系統方塊圖 Fig.1-2, EPCIO-6000e 藉由系統控制電路(8) 直接下令至 DAC 介面(14) 再藉由 DAC 模組(16) 轉換成類比電壓命令輸出, 控制板在出廠時的電壓偏移量會調整至接近 0 伏特, 當使用者單獨使用 D/A 轉換器功能時, 並不需要調整電壓偏移量。

若使用者使用硬體閉迴路控制模式時, 請參考 1.5.2 節六軸同動/不同動閉迴路電壓控制說明。此時由於搭配馬達驅動器負載電路後, D/A 轉換器所輸出 0 伏特電壓相對於驅動器內部所認知的 0 伏特, 可能會有一個微小電壓偏移量, 此微小電壓偏移量將導致馬達產生一緩慢的漂移現象, 此乃



---

正常現象，一旦軟體開啟閉迴路功能後，閉迴路機制會自動修正此漂移現象，此時馬達會被鎖住，藉由 EPCIO 內部誤差計數器可讀回此時偏移量的大小。

使用者若發現偏移量過大時，可調整馬達的零電壓偏移量(Offset)或控制卡上的可變電組，請參考 3.2.2.4 節設定方式。



## 第 2 章 規格

註：在第 2 章規格中若有 → EPCIO\_ResetModule() 之類描述，其意思為請參考 EPCIO Series 驅動函式庫參考手冊之 EPCIO\_ResetModule() 函式。

### 2.1. 系統架構

- 尺寸：174.65X111.5mm
- 系統基頻：40Mhz
- Bus 介面：1 bit PCIe
- 中斷：
  - EPCIO-6000e/6005e 內有多個可產生中斷之中斷觸發源數(在後面各節有詳述)，每個中斷發生源都有一個 latch(閃鎖)，當中斷發生時 latch 便會設定成 1，並經由 BUS 向 CPU 發出中斷，若 CPU 去讀取這個 latch，其值便會清除為 0。
  - 每個中斷發生源都可 Enable/Disable(default：all disabled)。
- RESET：
  - 可使用軟體對 DAC，ADC，閉迴路控制機制(PCL)、DDA 產生器、近端 I/O、遠端 I/O、EPCIO ASIC 周邊等機制作個別或全部功能重置。
- ➔ EPCIO\_ResetModule()



## 2.2 運動控制規格

EPCIO-6000e具有6組運動控制核心機制，每組運動控制核心機制可選擇閉迴路電壓(VELOCITY)輸出控制或開迴路脈波(PULSE)輸出控制，故共可選擇作M組閉迴路電壓輸出控制及N組開迴路脈波輸出控制，而 $M+N \leq 6$ 組。

EPCIO-6005e僅支援開迴路脈波(PULSE)輸出控制。

### 2.2.1 開迴路脈波(PULSE)輸出控制

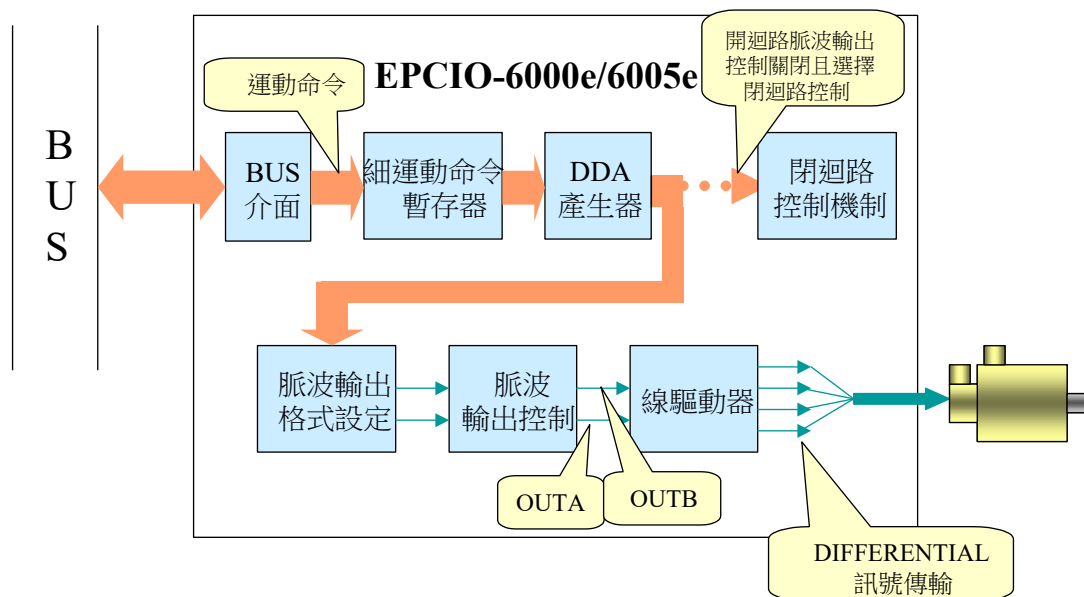


Fig.2-1

- 細運動命令格式：1 bit direction 加上 10~15 bits movement value  
單位：脈波(即方波，PULSE)
- 脈波輸出控制機制：DDA
- 最多可控制軸數：6 軸(每軸備有一組 DDA 控制機制)
- DDA 規格：
  - Enable/Disable：可控制每軸 DDA 功能之開啟或關閉 (內定：Disable)
    - ➔ EPCIO\_DDA\_EnableOutputChannel()
    - ➔ EPCIO\_DDA\_DisableOutputChannel()
    - ➔ EPCIO\_DDA\_StartEngine()
    - ➔ EPCIO\_DDA\_StopEngine()

- DDA Engine Length : 10~15 bits
  - ➔ EPCIO\_DDA\_SetBitLength()
- 每個 DDA cycle time 最大可輸出 1023 ~ 32767 個 Pulse(脈波)，可藉由設定 DDA Engine 之 Length 來達成，如設定 DDA Length 為 10bits 則該 DDA cycle time 最大可輸出 1023 ( $2^{10}-1$ ) 個脈波，設定 DDA Length 為 15bits，則該 DDA cycle time 最大可輸出 32767 ( $2^{15}-1$ ) 個脈波。  
註：參考 Fig.1-3，Fig.1-4
- 當每個 DDA cycle time 結束時可設定向系統產生中斷，注意在這種情況下，EPCIO-6000e/6005e 會在執行完每一筆運動命令之後(亦即每個 DDA cycle time)就產生一個中斷，使用者應注意您的 CPU 是否能處理如此頻繁的中斷要求。
  - ➔ EPCIO\_DDA\_EnableCycleInt()
  - ➔ EPCIO\_DDA\_DisableCycleInt()
- DDA Clock Divider : 12 Bits
  - ➔ EPCIO\_DDA\_SetClockDivider()
- DDA Cycle Time : 25us ~3355ms Programmable，可藉由設定 DDA Clock Divider 及 DDA Engine Length 之值來達成。  
DDA Cycle Time = 25ns X (DDA Clock Divider 值+1) X  $2^{(DDA Length)}$ 
  - ➔ EPCIO\_DDA\_SetClockDivider()
  - ➔ EPCIO\_DDA\_SetBitLength()
  - 或呼叫➔ EPCIO\_DDA\_SetTime()註：參考 Fig.1-3，Fig.1-4
- 脈波寬度調整 Pulse Width Extender (for Pulse/Direction and CW/CCW format) : 12 bits  
Pulse Width = 25 ns × n，其中n=1~4096，n內定為1。
  - ➔ EPCIO\_DDA\_SetPulseWidth()
- 細運動命令暫存器 (FMC) : 可預存 64 筆 CPU 送來的細運動命令，DDA 會主動於每一個 DDA Cycle Time 之後來抓取一筆命令去執行均勻脈波之輸出。
  - 結構：64 × 16-bit FIFO(first in first out)
  - 命令格式：1bit direction 加上 10~15 bits movement value
    - ➔ EPCIO\_DDA\_SendPulse()

- Full flag：指示 FIFO 已滿
  - ➔ EPCIO\_DDA\_CheckFIFOFull()
- Empty flag：指示 FIFO 已空
  - ➔ EPCIO\_DDA\_CheckFIFOEmpty()
- 可讀取 FIFO 剩餘未執行之命令筆數
  - ➔ EPCIO\_DDA\_GetStockCount()
- 可讀取目前正在執行之命令
  - ➔ EPCIO\_DDA\_GetCurrentCmd()
- 可設定最小剩餘命令筆數，當剩餘命令等於最小剩餘命令筆數時可向系統產生中斷，這種方式比前段所提之 DDA Cycle Time 中斷，其中斷頻率會降低很多，可有效降低 CPU 之工作負載。
  - ➔ EPCIO\_DDA\_SetMinStockNo()
  - ➔ EPCIO\_DDA\_EnableStockInt()
  - ➔ EPCIO\_DDA\_DisableStockInt()
  
- 脈波輸出格式
  - Pulse/Direction (Default)
  - CW/CCW
  - A/B (運動命令 ÷ 4)
  - Inhibit (禁止輸出)
    - ➔ EPCIO\_DDA\_SetOutputFormat()參考 Fig.1-5，Fig.1-7
  
- 脈波輸出控制(參考 Fig 2.1 輸出之脈波以 OutA，OutB 表示)
  - OutA & OutB 可個別反相輸出(內定：非反相)
    - ➔ EPCIO\_DDA\_EnableOutAInverse()
    - ➔ EPCIO\_DDA\_DisableOutAInverse()
    - ➔ EPCIO\_DDA\_EnableOutBInverse()
    - ➔ EPCIO\_DDA\_DisableOutBInverse()
  - OutA & OutB 之訊號可交換(內定：未交換)
    - ➔ EPCIO\_DDA\_EnableOutABSwap()
    - ➔ EPCIO\_DDA\_DisableOutABSwap()
  
- 線驅動器 **Line driver**：使用 **MC3487** 以 **5V DIFFERENTIAL** 方式輸出。

## 2.2.2 閉迴路電壓(Velocity)輸出控制

***EPCIO-6005e 僅支援編碼器輸入部份，而閉迴路控制及 DAC 未支援***

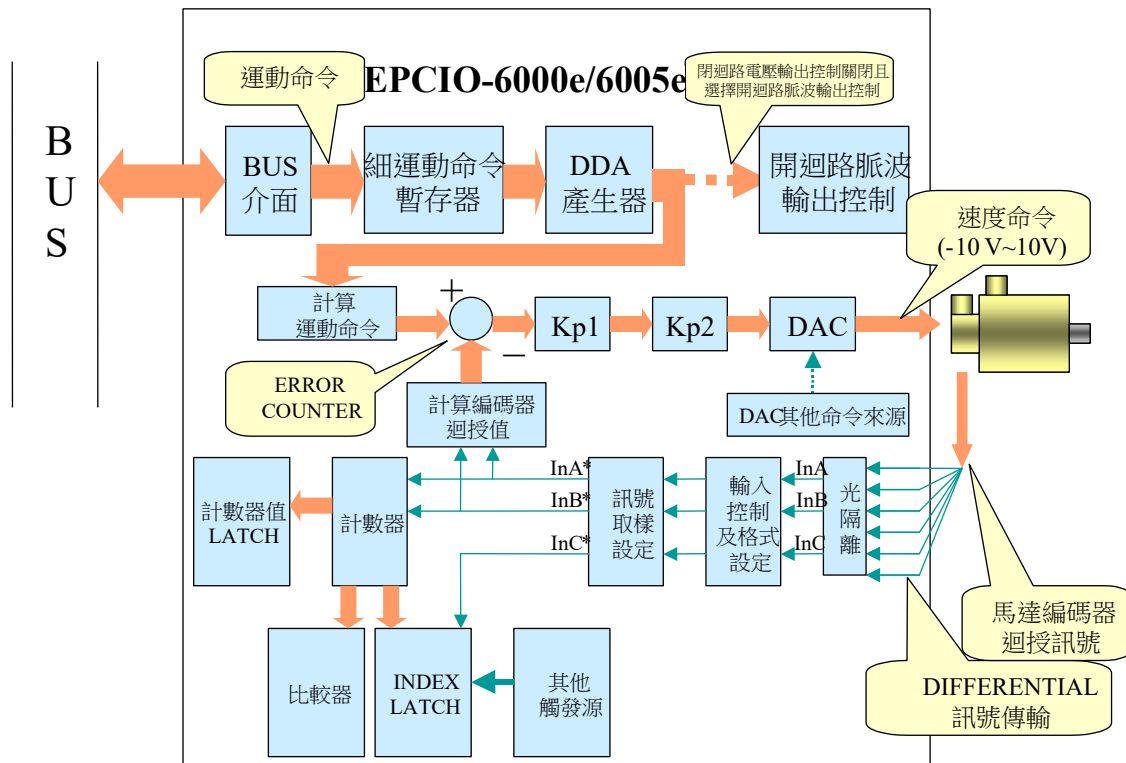


Fig.2-2

- 細運動命令格式：1 bit direction 加上 10~15 bits movement value  
單位：脈波(即方波，PULSE)
- 最多可控制軸數：6 軸(每軸備有一組閉迴路控制機制)
- 速度命令範圍：使用 DAC 輸出+/- 10V  
註：DAC 為數位轉類比轉換器
- DDA 規格(詳見 2.2.1)
- 細運動命令暫存器(詳見 2.2.1)
  
- 控制法測：P type
  - ➔ EPCIO\_PCL\_StartControl()
  - ➔ EPCIO\_PCL\_StopControl()
  - ERROR COUNTER: 長度為 16 bits, 當誤差計數器溢位時(Error Counter Overflow), 可設定產生中斷
    - ➔ EPCIO\_PCL\_EnableErrorCounter()



- EPCIO\_PCL\_DisableErrorCounter()
- EPCIO\_PCL\_GetErrorCounter()
- EPCIO\_PCL\_ClearErrorCounter()
- EPCIO\_PCL\_EnableOverflowInt()
- EPCIO\_PCL\_DisableOverflowInt()
- Kp1 : close loop scaling gain
  - EPCIO\_PCL\_SetScaleGain()
- Kp2 : close-loop shift gain
  - EPCIO\_PCL\_SetScaleGain()

經P控制法則後的Error Counter值與DAC輸出電壓之間的關係可以下列公式換算：輸出電壓(Volt) = 位置誤差值  $\times K_{p1} \times 2^{K_{p2}} \times 10 \div (16 \times 32767)$ 。例如當位置誤差為1024且設定 $K_{p1}$ 為100、 $K_{p2}$ 為0時，則產生的電壓大小為 $V_{out} = 1024 \times 100 \times 1 \times 10 \div (16 \times 32767) = 1.95 \text{ volt}$ 。

## 2.3 數位轉類比轉換器

- 組數：6 個，分別對應每軸閉迴路電壓控制機制，當執行閉迴路電壓(速度命令)輸出控制時，須使用軟體將 DAC 命令(電壓轉換值)來源指向 PCL(即閉迴路控制機制)；當某組閉迴路電壓控制機制不使用時，則該組 DAC 可空出來單獨使用。
    - ➔ EPCIO\_DAC\_SetOutput()
  - 可設定 DAC START 或 STOP(內定：STOP)，當 DAC STOP 時 DAC 輸出值保持前次命令值
    - ➔ EPCIO\_DAC\_StartConv()
    - ➔ EPCIO\_DAC\_StopConv()
  - 解析度：16 bits
  - EPCIO-6000e/6005e Power on 之值：0V (若非 0 時請調整可變電阻至輸出為 0V)
  - DAC 輸出介面規格
    - 外界負載：須大於 2K $\Omega$
    - 輸出電壓：最大 $\pm 10V$
  - D/A 轉換值來源可為下列三種：
    - ➔ EPCIO\_DAC\_SetCmdSource()
      1. PCL(閉迴路控制機制)模式：使用在閉迴路電壓(速度命令)輸出控制。
      2. OUTPUT BUFFER (DAC 單獨使用時)  
模式：選擇此模式，CPU 可直接將轉換值下達給 DAC，直接輸出電壓
        - ➔ EPCIO\_DAC\_SetOutput()
      3. TRIGGER BUFFER(DAC 單獨使用時)  
模式：預設一個轉換值於 TRIGGER BUFFER 內，當預設之 TRIGGER 訊號被觸發時便將 TRIGGER BUFFER 內之轉換值送入 DAC 轉成電壓輸出。
        - ➔ EPCIO\_DAC\_SetTrigOutput()
- TRIGGER 訊號源共有 26 個，詳情請參考下列函式：
- ➔ EPCIO\_DAC\_SetTrigSource()
  - ➔ EPCIO\_DAC\_EnableTrigMode()
  - ➔ EPCIO\_DAC\_DisableTrigMode()

## 2.4 編碼器輸入規格

- 組數：6
- 編碼器輸入隔離
  - 隔離方式：光耦合器
  - 輸入頻率：最高2MHz
- 輸入訊號 InA, InB 及 InC 的輸入控制：
  1. 三個訊號可個別反相(內定：非反相)
    - ➔ EPCIO\_ENC\_EnableInAInverse()
    - ➔ EPCIO\_ENC\_DisableInAInverse()
    - ➔ EPCIO\_ENC\_EnableInBInverse()
    - ➔ EPCIO\_ENC\_DisableInBInverse()
    - ➔ EPCIO\_ENC\_EnableInCInverse()
    - ➔ EPCIO\_ENC\_DisableInCInverse()
  2. InA及InB訊號可交換(內定：無交換)
    - ➔ EPCIO\_ENC\_EnableInABSwap()
    - ➔ EPCIO\_ENC\_DisableInABSwap()
- InA, InB 之輸入格式設定
  - ➔ EPCIO\_ENC\_SetInputType()
    1. A/B phase格式
      - 乘倍率可設為×0、×1、×2、×4(內定：×0)
      - ➔ EPCIO\_ENC\_SetInputRate()
    2. CW/CCW格式
    3. Pulse/Direction格式
    4. Input禁止
- 輸入訊號取樣及數位濾波功能
  - ➔ EPCIO\_ENC\_SetFilterClock()
    1. Format：Continuous Three (for InA, InB, InC)
    2. Sample rate：可規劃
    3. Sample rate = 40Mhz ÷ (n+1), n=0~255(default n=0)
- 計數器(Counter)
  1. 長度：32 bits
  2. 可設定 Enable/Disable(註：在閉迴路控制須設定為 Enable)
    - ➔ EPCIO\_ENC\_StartInput()
    - ➔ EPCIO\_ENC\_StopInput()

3. 可清除為0(內定：未清除)
    - ➔ EPCIO\_ENC\_ClearCounter()
  4. 開機時亂數
  5. 讀取計數器值
    - ➔ EPCIO\_ENC\_GetValue()
- Counter value latch
    1. 作用：可設定 index 或其他觸發信號源，以 latch 計數器值供 CPU 讀取，且觸發模式可選擇
      - ➔ EPCIO\_ENC\_SetTrigSource()
      - ➔ EPCIO\_ENC\_SetTrigMode()
      - ➔ EPCIO\_ENC\_GetLatchValue()
    2. 可設定 Enable or Disable(內定)
  - Index
    1. 可讀取目前編碼器 Index 訊號之狀態(high/low)
      - ➔ EPCIO\_ENC\_GetIndexStatus()
    2. 編碼器輸入之 Index 可設定直接向系統產生中斷
      - ➔ EPCIO\_ENC\_EnableIndexInt()
      - ➔ EPCIO\_ENC\_DisableIndexInt()
  - 比較器(Comparator)與比較器中斷
    1. 作用：比較計數器值是否與比較器內預先設定值相等，當相等時 comparator flag 設為 1 且可設定向系統產生中斷
      - ➔ EPCIO\_ENC\_SetCompValue()
      - ➔ EPCIO\_ENC\_EnableCompInt()
      - ➔ EPCIO\_ENC\_DisableCompInt()
  - 編碼器中斷統計
    1. Index可直接產生中斷(共6組)
    2. 編碼器比較值比較成立時可直接產生中斷(共6組)
    3. 每組中斷皆可設定Enable/Disable(內定)



## 2.5 近端數位輸出入點

### ■ 19 個專用輸入點

- 近端輸出入可獨立由 CPU 操作，與其他功能無關
- 操作電壓：DC 24V±10%
- 輸入為 18V~30V 時(輸入點對 COM 點之電壓差)，內部 EPCIO ASIC 讀取值為 0V
- 輸入 0V~1V 時(輸入點對 COM 點之電壓差)，內部 EPCIO ASIC 讀取值為 1
- 隔離：光耦合式
- 分類

1. Upper travel limit inputs：6 個，分別標示為 OT1+、OT2+、OT3+、OT4+、OT5+和 OT+6，腳位定義請參考第 3 章

➔ EPCIO\_LIO\_GetOverTravelUp()

2. Lower travel limit inputs：6 個，分別標示為 OT1-、OT2-、OT3-、OT4-、OT5-和 OT6-

➔ EPCIO\_LIO\_GetOverTravelDown()

3. Home sensor limit inputs：6 個，分別標示為 HOM1、HOM2、HOM3、HOM4、HOM5 和 HOM6

➔ EPCIO\_LIO\_GetHomeSensor()

4. 緊急停止輸入點：1 個，標示為 ESTP

Emergency stop 發生時(即 Emergency stop input 讀取值為 1)，硬體會使脈波輸出 DISABLE 及 DAC 輸出值為 0V，且 EPCIO-6000e/6005e 內含 LATCH 可鎖住 Emergency stop 狀態。

➔ EPCIO\_LIO\_GetEmgcStopStatus()

註 1：解除 Emergency stop input 狀態處理：請先排除 emergency stop 發生原因(亦即使 emergency stop 讀取值為 0)，再以軟體對 EPCIO ASIC 周邊作 RESET 動作，如此才可清除 emergency stop 狀態。

➔ EPCIO\_ResetModule()

註 2：當 JP1 之 ESTP 短路，將使 emergency stop 功能不動作 (即 emergency stop input 讀取值永遠為 0，emergency stop 永遠不會發生)。

註 3：EPCIO-6000e/6005e 出廠時將 JP1 短路，當系統配接好 emergency stop 電路時，必須將 JP1 開路以免 emergency stop 不會動作。

註 4：當 ESTP 發生時，若 DAC 輸出值若不為 0V，可調整可變電阻使為 0V，參考 3.2.2.4。

■ 7 個專用輸出點

- 操作電壓：DC 24V ±10%
- 驅動方式：OPEN COLLECTOR，當 EPCIO ASIC 內部輸出值為 0 時，OPEN COLLECTOR 為可導通狀態，1 則為不可導通狀態。
- 每點最大承受電流：60 mA(所以不可直接接上沒有負載之 24V 電源)
- 隔離：光耦合式
- 分類

1. 伺服驅動致能 (Servo On/Off)：6 個，分別是 SVON1、SVON2、SVON3、SVON4、SVON5 和 SVON6。

→ EPCIO\_LIO\_ServoOff()

→ EPCIO\_LIO\_ServoOn()

2. POSITION READY：1 個，可藉由此點告知外界，

EPCIO-6000e/6005e 目前為 READY 狀態。

→ EPCIO\_LIO\_EnablePrdy()

→ EPCIO\_LIO\_DisablePrdy()

- 1 個內部專用之安全控制輸出點(pulse\_DA\_output\_enable)：系統 power on 到初始化軟體執行完成之前，可能有一小段不確定時期，為保證於這段期間內，馬達不致於有不預期的動作，EPCIO-6000e/6005e 內設計了一個內部專用之安全控制輸出點，在 power on 時將脈波輸出及 DAC 輸出切斷，使用者在初始化執行完畢後，呼叫 EPCIO\_LIO\_EnablePulseDAC()，以便脈波輸出 enable 及 DAC 輸出 enable。

註 1：要啟動 pulse\_DA\_output\_enable 點前請先確定系統不是處於 emergency stop 狀態，否則該點啟動無效，參考前段 emergency stop input 說明。

→ EPCIO\_LIO\_EnablePulseDAC()

註 2：當關閉 pulse\_DA\_output\_enable 點時，不管 EPCIO-6000e/6005e 其他內部如何設定，其脈波輸出及 DAC 輸出皆為切斷狀態。

→ EPCIO\_LIO\_DisablePulseDAC()

## 2.6 遠端數位輸出入點

- EPCIO-6000e 卡上有 RIO1 及 RIO2 兩個插座，每個插座可串接一個遠端串列 I/O 模組(編號 EDIO-S00X)，每個遠端串列 I/O 模組有 64 個輸入點及 64 點輸出點(EDIO-S003H 為 32 IN /32 OUT)，所以最大可擴充至讀取 128 點數位 INPUT 及輸出 128 點數位 OUTPUT(註：EDIO-S003/5/3H 規格請參考 EDIO-S003/S005/S003H 使用手冊)。

### **(EPCIO-6005e 僅有 RIO1 插座)**

- 配接在 RIO1 之遠端串列 I/O 模組在驅動程式中是以 RIO\_SET0，RIO\_SLAVE0 表示。
  - 配接在 RIO2 之遠端串列 I/O 模組在驅動程式中是以 RIO\_SET1，RIO\_SLAVE0 表示。
  - EPCIO\_RIO\_GetInputValue()
  - EPCIO\_RIO\_SetOutputValue()
- 遠端輸出入之開啟可獨立由 CPU 操作，與其他功能無關。
    - EPCIO\_RIO\_EnableSetControl()
    - EPCIO\_RIO\_DisableSetControl()
    - EPCIO\_RIO\_EnableSlaveControl()
    - EPCIO\_RIO\_DisableSlaveControl()
- 通訊控制：詳情請參閱 EPCIO Series 驅動函式庫使用手冊。
    - EPCIO\_RIO\_SetClockDivider()
    - EPCIO\_RIO\_GetTransStatus()
    - EPCIO\_RIO\_GetMasterStatus()
    - EPCIO\_RIO\_GetSlaveStatus()
    - EPCIO\_RIO\_SetTransError()
    - EPCIO\_RIO\_EnableTransInt()
    - EPCIO\_RIO\_DisableTransInt()
- 中斷
    - 每個 EDIO-S00X 模組之前四個輸入點可設定為中斷訊號發生源
      - EPCIO\_RIO\_EnableInputInt()
      - EPCIO\_RIO\_DisableInputInt()
      - EPCIO\_RIO0\_GetIntCondition()
      - EPCIO\_RIO1\_GetIntCondition()



- 可規劃前述四個中斷訊號發生源之觸發方式。
  - ➔ EPCIO\_RIO\_SetIntType()
  
- 可設定通訊失敗中斷(請參閱 EPCIO series 驅動函式使用手冊)。
  - ➔ EPCIO\_RIO\_SetTransError()
  - ➔ EPCIO\_RIO\_EnableTransInt()
  - ➔ EPCIO\_RIO\_DisableTransInt()

## 2.7 類比轉數位轉換

### EPCIO-6000e 選配；EPCIO-6005e 未支援

- 輸入點數：8
- 電壓差輸入範圍：  
BIPOLAR MODE：-5V~5V(將 JP4 之 BIP 及 COM 短路)  
UNIPOLAR MODE：0~10V(將 JP4 之 UNI 及 COM 短路)
  - ➔ EPCIO\_ADC\_SetConvType()
- 解析度：12 bits
  - ➔ EPCIO\_ADC\_GetInput()
- 單次轉換(SINGLE RUN)模式：
  - 八組 ADC 可指定其中一組進行轉換，並在該組中轉換一次。
    - ➔ EPCIO\_ADC\_SetConvMode()
    - ➔ EPCIO\_ADC\_SetSingleChannel()
    - ➔ EPCIO\_ADC\_StartConv()
    - ➔ EPCIO\_ADC\_GetInput()
    - ➔ EPCIO\_ADC\_StopConv()
- 連續轉換(FREE RUN) 模式：
  - 八組 A/D 中可 Enable 其中數組(須指定)，其他關閉，而且轉換只會在已指定組數中輪替且持續轉換。
    - ➔ EPCIO\_ADC\_SetConvMode()
    - ➔ EPCIO\_ADC\_EnableConvChannel()
    - ➔ EPCIO\_ADC\_DisableConvChannel()
    - ➔ EPCIO\_ADC\_StartConv()
    - ➔ EPCIO\_ADC\_GetInput()
    - ➔ EPCIO\_ADC\_StopConv()
- 比較器與比較器中斷
  - 先預設比較值，且比較後之結果將以中斷方式通知 CPU，每個比較器都可設定產生中斷(共有八個中斷發生源)。
    - ➔ EPCIO\_ADC\_SetCompValue()
    - ➔ EPCIO\_ADC\_EnableCompInt()
    - ➔ EPCIO\_ADC\_DisableCompInt()

- 比較模式選擇

遮蔽功能(MASK)：

比較器先遮蔽 ADC 電壓讀取值之最後 0 個、1 個、2 個或 3 個 bits 後形成遮蔽值後，再將遮蔽值與預設值進行比較，其比較後之結果以中斷方式通知 CPU(註：當 ADC 電壓讀取值更新後，遮蔽值亦隨之更新)。

→ EPCIO\_ADC\_SetCompMask()

比較方式：可選擇下列三種比較方式來觸發中斷。

→ EPCIO\_ADC\_SetCompType()

1. 當遮蔽值從小於預設值變成大於或等於預設值之瞬間。
2. 當遮蔽值從大於或等於預設值變成小於預設值之瞬間。
3. 上列兩種情況皆可觸發中斷。

- 中斷：

- 比較器中斷發生源：8 個

→ EPCIO\_ADC\_EnableCompInt()

→ EPCIO\_ADC\_DisableCompInt()

- 轉換完成中斷：1 個

當有一個 ADC 輸入點完成轉換時，可產生中斷。

→ EPCIO\_ADC\_EnableConvInt()

→ EPCIO\_ADC\_DisableConvInt()

- 標籤輸入轉換完成中斷：1 個

可設定某一個 Channel 為標籤(Tag)輸入，當該輸入每次完成轉換時，可產生中斷。

→ EPCIO\_ADC\_SetTagChannel()

→ EPCIO\_ADC\_EnableTagInt()

→ EPCIO\_ADC\_DisableTagInt()

## 2.8 計時器 (TIMER) 及看門狗計時器 (WATCH DOG)

### ■ TIMER

ENABLE / DISABLE

→ EPCIO\_LIO\_EnableTimer()

→ EPCIO\_LIO\_DisableTimer()

- 計時單位：系統基頻(25ns)

- TIMER 長度：24 bits

說明：可設定計時範圍為  $0\sim(2^{24}-1)$ 倍系統基頻，當計時終了時，可設定向系統產生中斷。

→ EPCIO\_LIO\_SetTimer()

→ EPCIO\_LIO\_EnableTimerInt()

→ EPCIO\_LIO\_DisableTimerInt()

### ■ WATCH DOG TIMER

ENABLE / DISABLE

→ EPCIO\_LIO\_EnableWDogTimer()

→ EPCIO\_LIO\_DisableWDogTimer()

- 計時單位：TIMER 所設定之時間長度

- WATCH DOG TIMER 長度：16 bits

說明：可設定計時範圍為  $0\sim(2^{16}-1)$ 倍計時單位(即  $0\sim(2^{16}-1)$ 倍 TIMER 時間長)，當 WATCH DOG TIMER 計時終了時，EPCIO-6000e/6005e 會自動產生 RESET 訊號(RESET 訊號長度可規劃)，若不想發生 RESET，則須在 WATCH DOG TIMER 計時尚未終了時以程式將 WATCH DOG TIMER 之值清除為 0。

→ EPCIO\_LIO\_SetWDogTimer()

→ EPCIO\_LIO\_SetWDogReset()

→ EPCIO\_LIO\_RefreshWDogTimer()



## 第 3 章 硬體安裝及使用說明

### 3.1. 系統基本安裝步驟

- A. 請先執行安裝光碟中的 setup.exe。
- B. 安裝完成後請將系統電源關閉，包含電腦，馬達等。
- C. 將 EPCIO-6000e/6005e 插入 PCIe BUS 中並固定。
- D. 將周邊電路配好並經由 SCSI II 100PIN 之接頭插入 EPCIO-6000e/6005e 卡，再鎖上螺絲固定(周邊電路配線參考本章節其他部份)。
- E. 確定電腦及其連接驅動之馬達，I/O 模組等均須確實接地，使電腦、馬達及 I/O 等周邊模組在同一參考電位，以免啟動時因為參考電位不同而造成系統損壞。
- F. 啟動電腦，電腦會發現新硬體，請依電腦指示說明並利用隨卡所附之光碟片安裝本運動控制卡。
- G. 使用本卡所附之測試程式，可對 EPCIO-6000e/6005e 進行測試及學習了解。
- H. 詳細安裝內容請參考 EPCIO series 硬體安裝須知。



## 3.2. 硬體板面配置及各接頭定義

### 3.2.1. 硬體板面配置

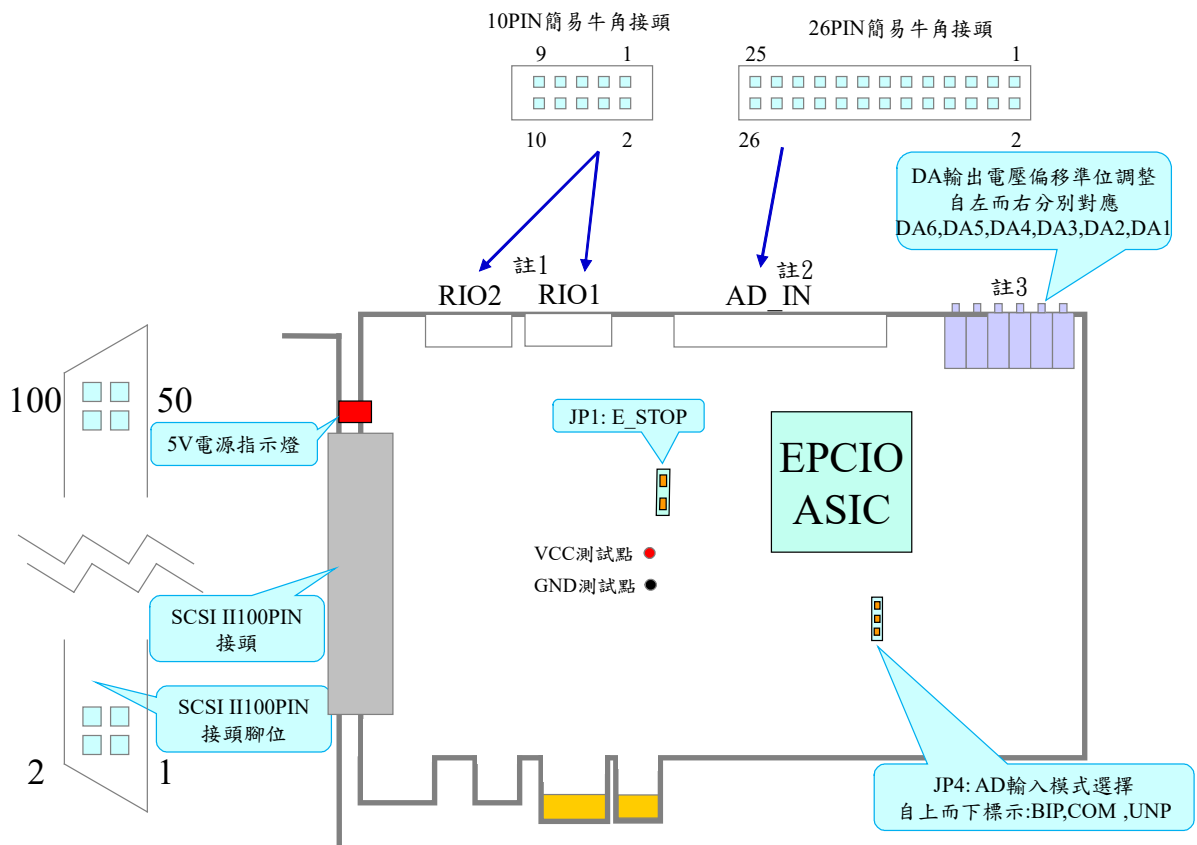


Fig.3-1

說明：

註 1、2：EPCIO-6005e 無 RIO2 及 AD\_IN 接頭及 JP4。

註 3：EPCIO-6005e 無 DA 輸出電壓調整鈕。



### 3.2.2 板面各接頭定義

#### 3.2.2.1. SCSI II 100PIN 接頭定義---參考下表

SCSI II-100PIN CONNECTOR			
PIN 定義	腳位	腳位	PIN 定義
AGND	1	51	AGND
DAC1	2	52	DAC4
DAC2	3	53	DAC5
DAC3	4	54	DAC6
+5V	5	55	COM-
COM+	6	56	COM-
COM	7	57	ESTP
COM	8	58	PRDY
HOM1	9	59	HOM2
OT1+	10	60	OT2+
OT1-	11	61	OT2-
SVON1	12	62	SVON2
HOM3	13	63	HOM4
OT3+	14	64	OT4+
OT3-	15	65	OT4-
SVON3	16	66	SVON4
HOM5	17	67	HOM6
OT5+	18	68	OT6+
OT5-	19	69	OT6-
SVON5	20	70	SVON6
EA1+	21	71	EA2+
EA1-	22	72	EA2-
EB1+	23	73	EB2+
EB1-	24	74	EB2-
EC1+	25	75	EC2+
EC1-	26	76	EC2-
EA3+	27	77	EA4+
EA3-	28	78	EA4-
EB3+	29	79	EB4+
EB3-	30	80	EB4-
EC3+	31	81	EC4+
EC3-	32	82	EC4-
EA5+	33	83	EA6+
EA5-	34	84	EA6-
EB5+	35	85	EB6+
EB5-	36	86	EB6-
EC5+	37	87	EC6+
EC5-	38	88	EC6-
PA1+	39	89	PA2+
PA1-	40	90	PA2-
PB1+	41	91	PB2+
PB1-	42	92	PB2-
PA3+	43	93	PA4+
PA3-	44	94	PA4-
PB3+	45	95	PB4+
PB3-	46	96	PB4-
PA5+	47	97	PA6+
PA5-	48	98	PA6-
PB5+	49	99	PB6+
PB5-	50	100	PB6-



## SCSI II 100PIN 接頭定義之(一)---DDA 訊號輸出(PULSE OUTPUTS)

訊號	說明	參考電位	附註
PAn+ 與 PAn-	第n個 DDA 輸出之A 相，經 Line Driver之後的差動輸出訊號。	AGND	n=1~6
PBn+ 與 PBn-	第n個 DDA 輸出之B 相，經 Line Driver之後的差動輸出訊號	AGND	n=1~6

## SCSI II 100PIN 接頭定義之(二)----編碼器訊號輸入

訊號	說明	參考電位	附註
EAn+ 與 EAn-	第n個 Encoder Counter 的A 相差動輸入訊號。	AGND	n=1~6
EBn+ 與 EBn+	第n個 Encoder Counter 的B 相差動輸入訊號。	AGND	n=1~6
ECn+ 與 ECn+	第n個 Encoder Counter 的C 相差動輸入訊號。(INDEX)	AGND	n=1~6

## SCSI II 100PIN 接頭定義之(三)---近端輸出入 Local digital I/O

訊號	說明	參考電位	附註
OTn+	第n軸之 UPPER OVER TRAVEL INPUT	COM	n=1~6
OTn-	第n軸之 LOWER OVER TRAVEL INPUT	COM	n=1~6
HOMn	第n軸之 HOME SENSOR INPUT	COM	n=1~6
SVONn	第n軸之 SERVO ON OUTPUT	COM-	n=1~6
ESTP	EMERGENCY STOP INPUT	COM	
PRDY	POSITION READY OUTPUT	COM-	
COM+	LOCAL DIGITAL OUTPUT 之+端		
COM-	LOCAL DIGITAL OUTPUT 之-端		
COM	LOCAL DIGITAL INPUT 之共點		

## SCSI II 100PIN 接頭定義之(四)---DAC OUTPUT 及其他

## 1. DAC OUTPUT

訊號	說明	參考電位	附註
DACn	第n個之DAC OUTPUT 或第n 軸的速度命令輸出	AGND	n=1~6

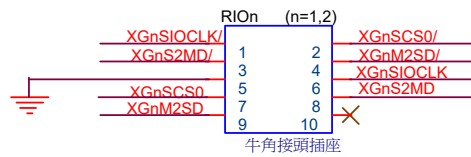
## 2. 其他

訊號	說明	參考電位	附註
+5V	+5V OUTPUT (MAX:500mA)	AGND	
AGND	ANALOG GND	AGND	

**註：EPCIO-6005e 無 DAC，所以 DACn 未定義**

### 3.2.2.2. RIO1 及 RIO2 接頭定義

----兩個接頭定義相同，參考下圖



**Fig.3-2**

說明:

訊號	說明	參考電位	附註
xGnM2SD與 xGnM2SD/	第n組 Remote IO, Master 傳給各 Slaves 的串列資料訊號(差動傳輸)	AGND	n=1, 2
xGnSIOCLK與 xGnSIOCLK/	第n組 Remote IO, Master 傳給各 Slaves 的同步訊號(差動傳輸)	AGND	n=1, 2
xGnSCS0與 xGnSCS0/	第n組 Remote IO, Master 傳給Slave 的選擇訊號(差動傳輸)	AGND	n=1, 2
GnS2MD與 GnS2MD/	第n組 Remote IO, 被選擇的 Slave 傳給 Master 的串列資料訊號(差動傳輸)	AGND	n=1, 2
DGND(PIN 5)	DIGITAL GND與 AGND 對接		

**註：EPCIO-6005e 僅有 RIO1 接頭**

### 3.2.2.3. ADC 接頭定義

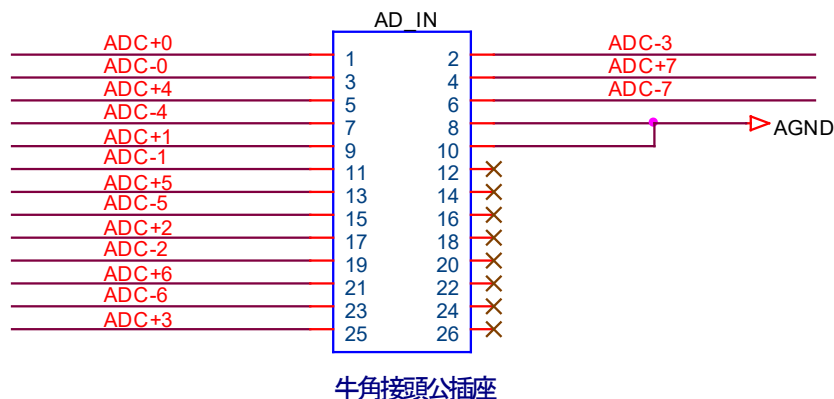


Fig.3-3

說明:

訊號	說明	參考電位	附註
ADC+n	第n組 ADC 類比差動輸入訊號+端	AGND	n=0~7
ADC-n	第n組 ADC 類比差動輸入訊號-端	AGND	n=0~7
AGND	ANALOG GND為 VCC_OUT,DAC OUTPUT 及 ADC 之共地點 與 DGND (DIGITAL GND單點對接,又DGND 與電腦之BUS 地對接)		

### 3.2.2.4. 其他—參考版面配置圖 Fig-3-1

#### A. 測試點 GND, VCC

---GND 為 DIGITAL GROUND(即 PCIe BUS GROUND)

---VCC 為 DIGITAL 5V 電源(即 PCIe BUS 5V)

#### B. 5V 電源指示燈--亮→表 VCC(Pcie BUS 5V)已進入控制卡

#### C. 可變電阻 VR1 (DA1), VR2 (DA2), VR3 (DA3), VR4 (DA4), VR5 (DA5), VR6 (DA6) ---用在調整 DAC 放大級輸出電壓偏移準位(OFFSET 值)。

在閉迴路電壓控制時,可調整每軸之可變電阻使 ERROR COUNTER 值最小  
(ERROR COUNTER 值 = ERROR SIGNAL = 目標位置 - 回授位置)

----DAC 單獨使用時,可調整可變電阻使輸出電壓為 0V

#### D. JP4—AD 輸入模式選擇

----若 AD 轉換之輸入之電壓範圍為-5V~5V 請選擇 BIPOLAR MODE(將 JP4 之 COM 及 BIP 短路)

----若 AD 轉換之輸入之電壓範圍為 0V~10V 請選擇 UNIPOLAR MODE(將 JP4 之 COM 及 UNP 短路)

----出廠 JP4 設定為 BIPOLAR MODE

----參考 2.7



#### E. JP1—E\_STOP

- 將 JP1 之 E\_STOP 短路，可使 emergency stop 功能不動作(即 emergency stop 讀取值永遠為 0，emergency stop 永遠不會發生)
- 出廠時 JP1 設定為短路
- 參考 2.5 之 emergency stop input 說明

### 3.3. 接線說明

#### 3.3.1. 六軸同動/不同動電壓輸出閉迴路控制

**ONLY FOR EPCIO-6000e**

以下為 EPCIO-6000e 與速度介面(VELOCITY TYPE)伺服馬達驅動器連接圖

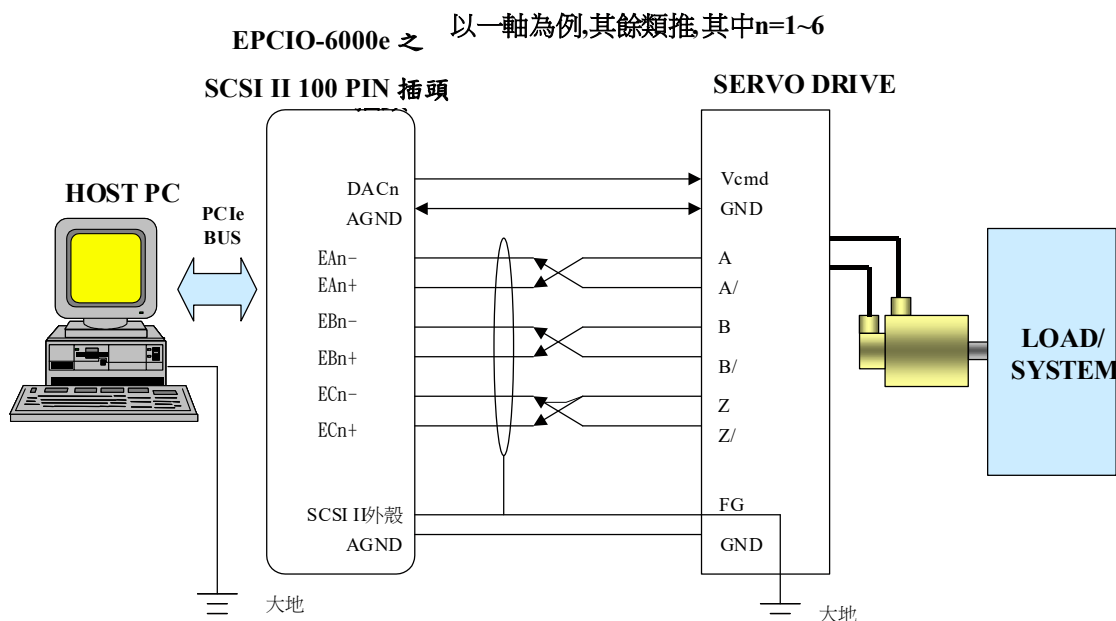
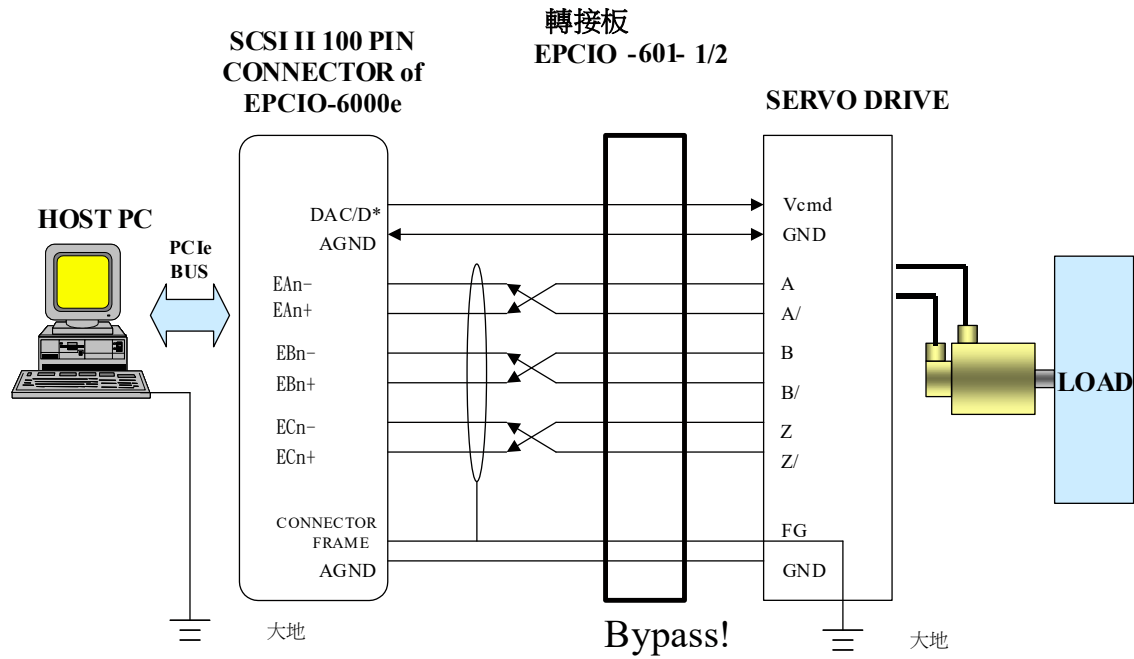


Fig.3-4

- DACn 為第 n 組閉迴路控制機制之速度命令輸出(以電壓命令型式輸出),須接至第 n 組 SERVO DRIVE 之 Vcmd(VELOCITY COMMAND) 輸入點,而 DACn 之接地點—AGND 須與該組 Vcmd 之接地點—GND 對接。
- SERVO DRIVE 之馬達編碼器訊號(A/B/Z 訊號),須以 DIFFERENTIAL 型式接回 EPCIO-6000e(如 Fig.3-4 所示),建議 A 與 A/、B 與 B/、Z 與 Z/這三組訊號均使用對絞線以降低共模雜訊,另外如圖所示使用隔離網將這三組線與外界隔離,以降低外界對傳輸之干擾。
- 將隔離網一端與 EPCIO-6000e 之 SCSI II 100PIN 接頭外殼對接,另一端與 SERVO DRIVE 之 FG(Field Ground)對接,並確定 PC 及 SERVO DRIVE 都有接大地(註:SCSI II 100PIN 接頭外殼與 PC 外殼對接,而 PC 外殼通常與大地對接)。
- **重要**---須有一條地線將 SERVO DRIVE 之 GND 與 EPCIO-6000e 之 AGND 對接(這點非常重要,因為有可能造成致命損壞)。

- 使用轉接板 EPCIO-601-1/2 於閉迴路控制時，其作用為 Bypass 訊號



**Fig.3-5**



### 3.3.2. 六軸同動/不同動脈波輸出控制

以下為 EPCIO-6000e/6005e 與脈波介面伺服馬達/步進馬達系統連接圖

以一軸為例,其餘類推,其中n=1~6

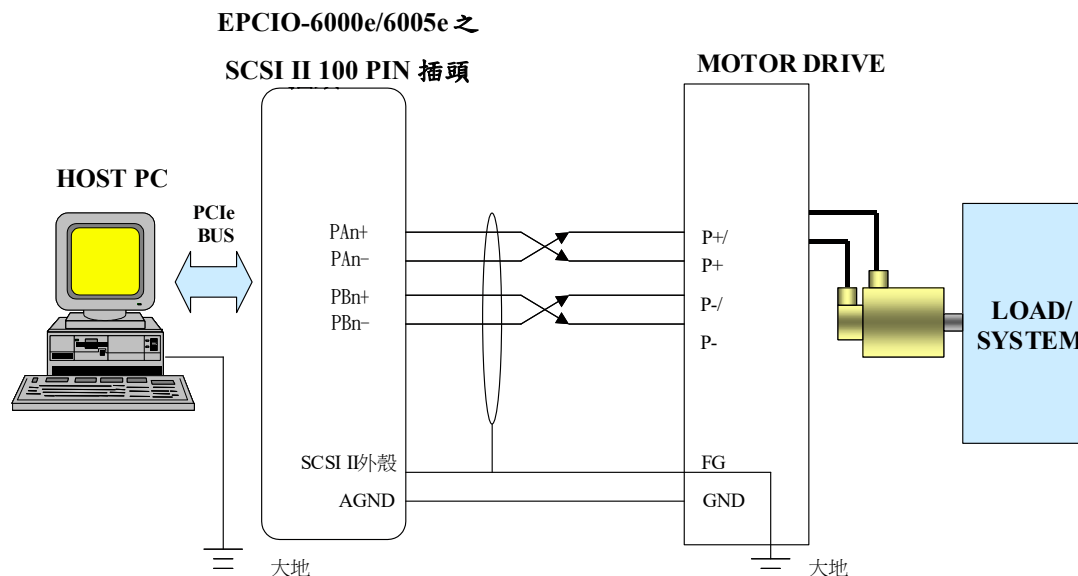


Fig.3-6

- PAn+, PAn-, PBn+, PBn- 為第 n 組開迴路控制機制之脈波命令輸出點, 須分別接至第 n 組 MOTOR DRIVE 之 P+, P+/, P-, P-/ 如圖所示(請參閱 MOTOR DRIVE 之使用手冊)。
- 建議上面這四條線均使用對絞線以降低共模雜訊。另外如圖所示, 使用隔離網將這四條線與外界隔離, 以降低外界對傳輸之干擾。
- 將隔離網一端與 EPCIO-6000e/6005e 之 SCSI II 100PIN 接頭外殼對接, 另一端與 Motor Drive 之 FG(Field Ground)對接, 並確定 PC 及 Servo Drive 都有接大地(註: SCSI II 100PIN 接頭外殼與 PC 外殼對接, 而外殼通常與大地對接)。
- 重要---須有一條地線將 Servo Drive 之 GND 與 EPCIO-6000e/6005e 之 AGND 對接(這點非常重要, 因為有可能造成致命損壞)。
- 使用轉接板 EPCIO-601-1/2 於開迴路控制時, 其作用為 Bypass 訊號, 如 FIG3-7。關於大地, AGND, GND, 對絞線, 隔離網請參考 3.3.1。

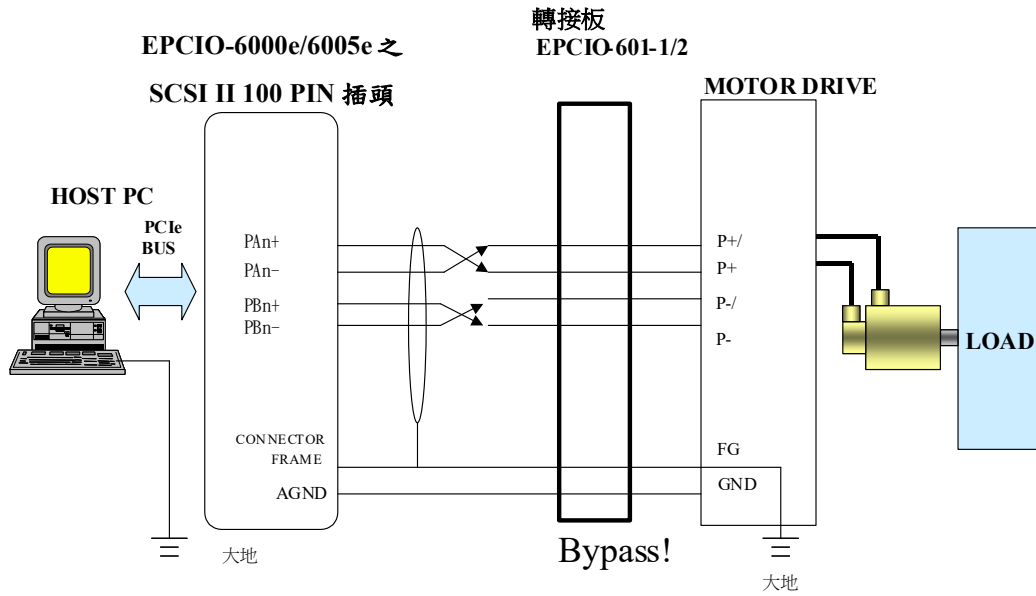


Fig.3-7

### 3.3.3 近端輸出入點配接

#### 3.3.3.1. 輸入部份配線

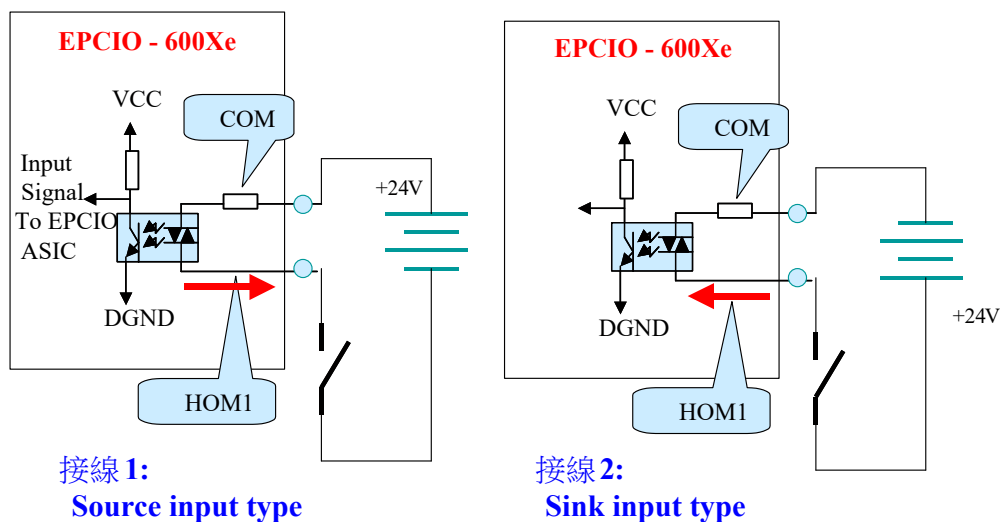


Fig.3-9

- 上圖以 HOM1 輸入點為例說明，其他輸入點類推。
- 有 Source input type 和 Sink input type 兩種輸入型式。
- 當開關導通時，HOM1 讀取值為 0。
- 當開關打開時，HOM1 讀取值為 1。
- 現場須提供+24VDC 電源。
- 注意：當使用機械式開關時，需注意彈跳現象。

- 使用轉接板 EPCIO-601-1/2 於當輸入轉接時，此時輸入只能使用 source-input 模式。

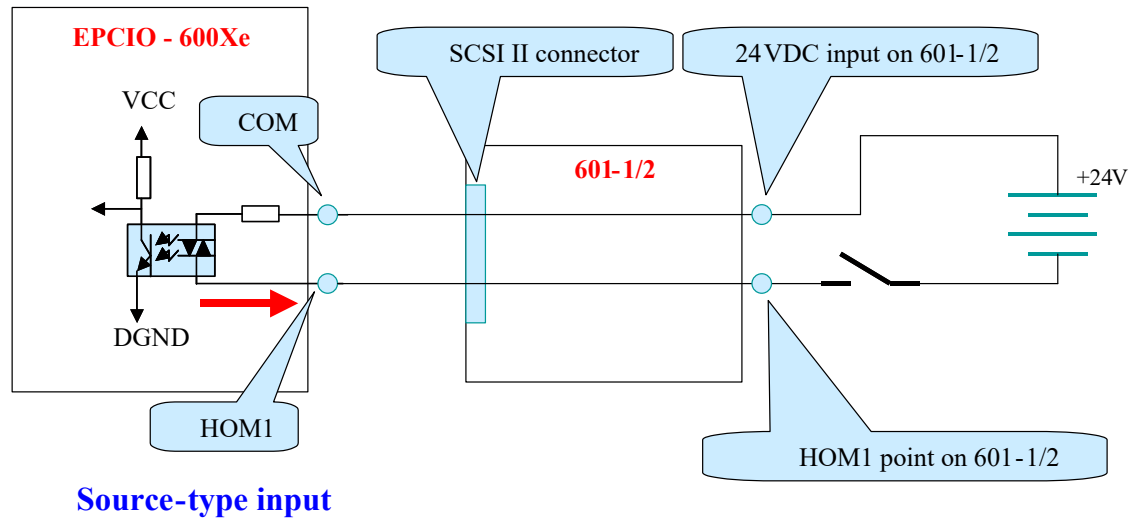


Fig.3-10

### 3.3.3.2. 輸出部份配線

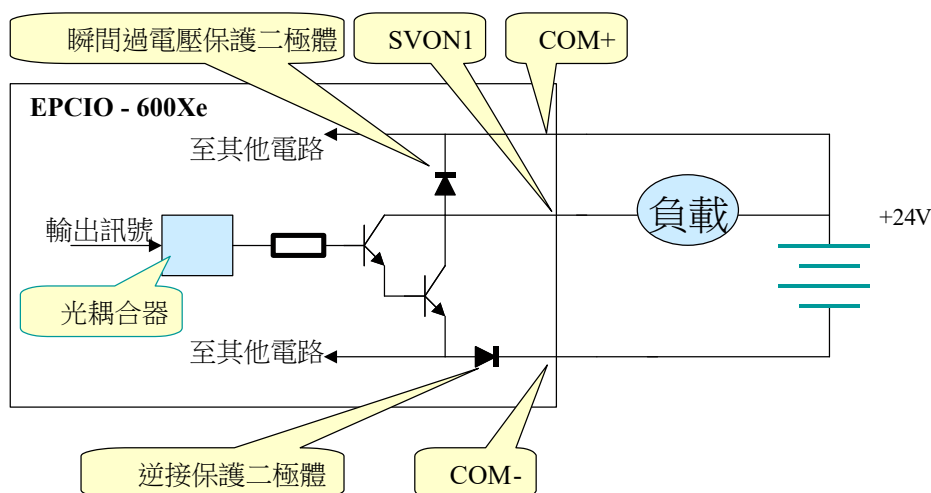


Fig.3-12

- 上面電路是以 SVON1 輸出點為例，為 sink output 架構，其他輸出點類推。
- 當輸出訊號為 0 時，電晶體(達靈頓驅動級)導通，負載動作。
- **危險**：每個輸出點驅動最大負載能力為 60mA，無負載狀況時將勿將 24V 電源直接接上輸出點。
- 當負載為 RELAY 時，因有瞬間過電壓保護二極體，無須外接保護二極體來吸收突波雜訊。
- 使用轉接板 EPCIO-601-1/2 當輸出轉接時，其作用為 Bypass 訊號。

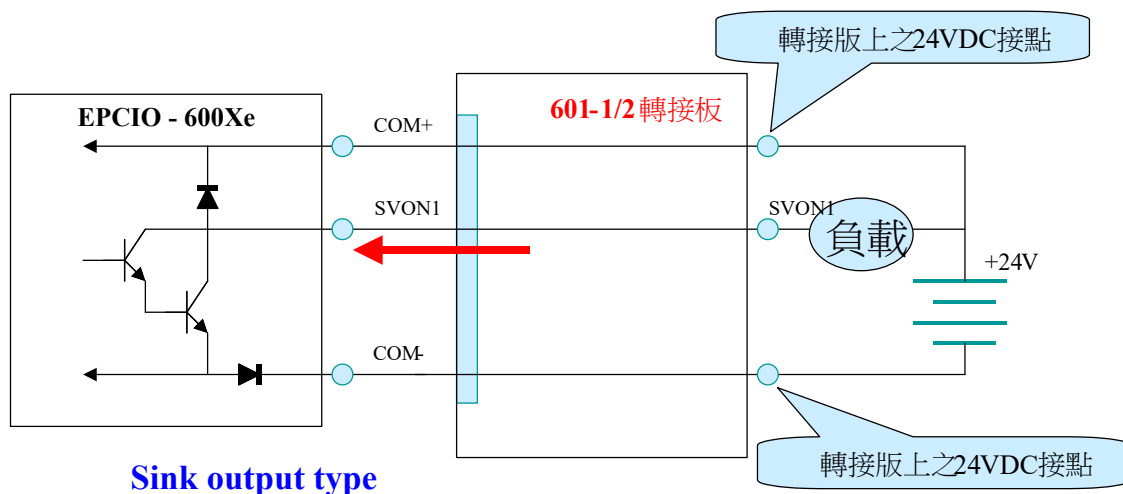


Fig.3-13

3.3.3.3. 近端輸出入點配接範例----配合運動控制配線

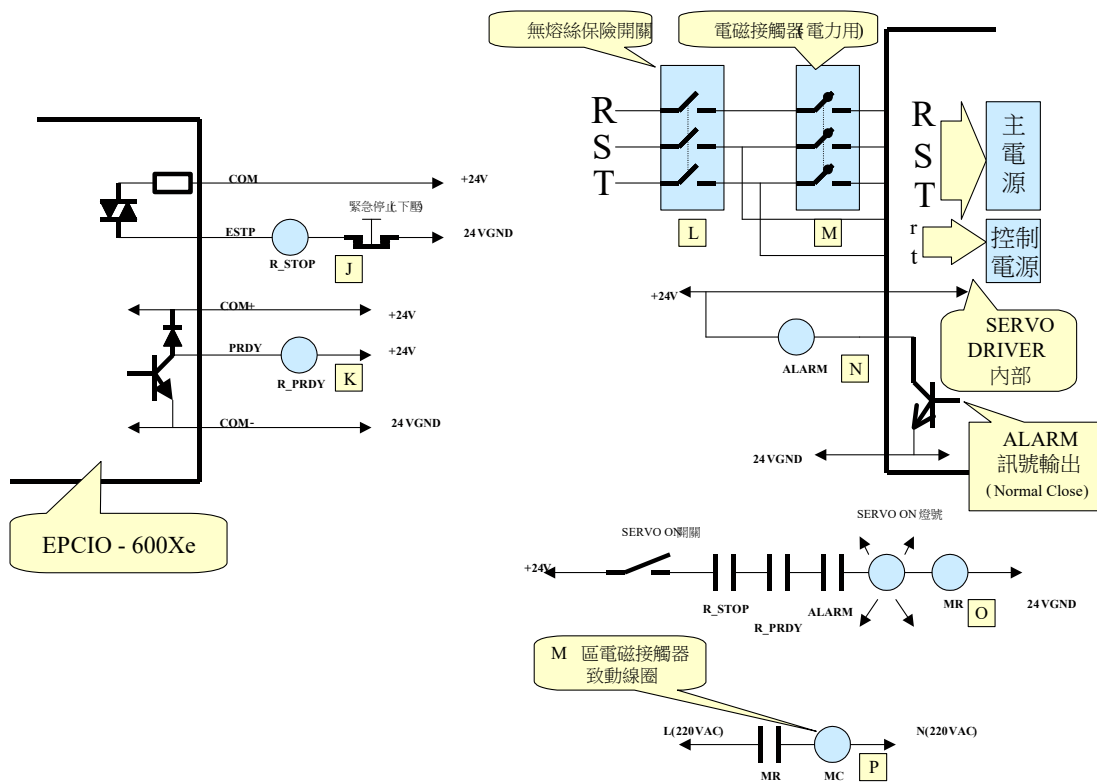
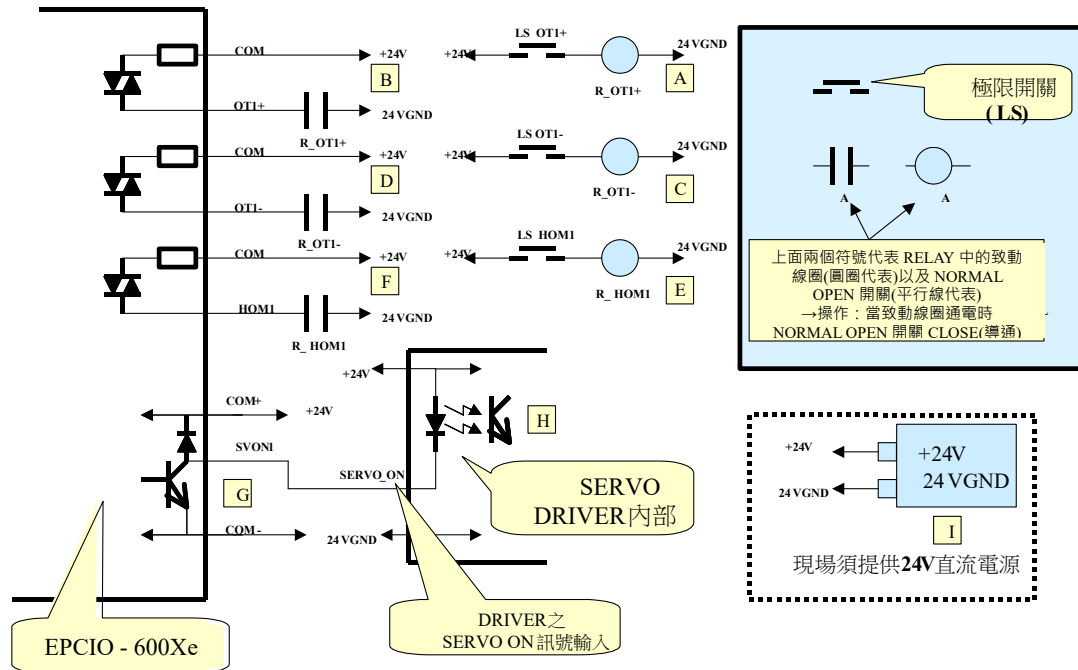


Fig.3-15

**說明：**

上述之電路是第一軸之配套 I/O 點說明，其他軸請類推。

請看圖上標示之 **A**，**B**，**C**...

1. 請看 **A** 區：當第一軸正向過行程極限開關(LS OT1+)導通時，可使 RELAY(標示為 R\_OT1+)致動，此時 **B** 區之 NORMAL OPEN 之開關(R\_OT1+)便會關閉致使電流流入 SCSI II 100PIN 接頭上之 OT1+點，此時 OT1+讀取值便會由 1 變成 0。
2. 同理 **C** 區及 **D** 區為關於第一軸負向過行程極限開關(LS OT1-)。
3. 同理 **E** 區及 **F** 區為關於第一軸歸零點極限開關(LS HOM1)。
4. **G** 及 **H** 區：當第一軸之禁制輸出訊號 SVON1 由 1 變 0 時，此時輸出之 OPEN COLLECTOR 打開，於是電流從 24V 電源流入第一軸 SERVO DRIVE 的 SERVO\_ON 點，再經由 OPEN COLLECTOR 電晶體流向地構成迴路，所以此時第一軸 SERVO DRIVE 為 ON 的狀態(何謂 SERVO ON 請參考 SERVO DRIVE 手冊)。
5. **I** 區為現場配線使用之 24V 直流電源，其注意事項為若使用二組以上之 24V 電源時須共地，另外導線不可太細以免傳輸壓降太大造成誤動作。
6. **J** 區：正常狀態下之緊急停止開關為 CLOSED，所以輸入構成迴路，此時 ESTP 讀取值為 0 且 RELAY(R\_STOP)動作，當緊急停止開關壓下時輸入跳脫，ESTP 讀取值為 1 且在硬體上使脈波輸出 DISABLE 及 DAC 輸出值為 0V。
7. 注意：在未安裝緊急停止開關線路便想進行測試時，須使用 JUMP 將 JP1 (E\_STOP)短路才能進行測試(JP1 表示短路緊急停止 DISABLE)，在安裝好緊急停止開關線路之後也一定要將 JP1(E STOP)之 JUMP 移除，如此緊急停止線路才能正常動作。
8. **K** 區：當軟體準備完成時，可藉由 PRDY 點輸出信號通知外界，控制卡已啟動成，使用者可利用此信號來控制馬達電源。
9. **L** 區：為主電源開關。
10. **M** 區：為可控制型之電力用電磁接觸器，其控制致動線圈為 MC。
11. **N** 區：當 SERVO DRIVE 發生異常時輸出電晶體 OFF，ALARM 迴路斷路。
12. **O** 區：當開關 R\_STOP CLOSE(==>**J** 區之緊急停止未下壓)加上開關 R\_PRDY CLOSE(==>**K** 區：有輸出 POSITION READY 訊息)再加上開關 ALARM CLOSE(==>**N** 區：SERVO DRIVE 未發生異常)，此時將 SERVO POWER 開關導通，便可使電路導通致動 RELAY(MR)，而同時 **P** 區之開關(MR)也導通致使 220V 交流電通過電磁接觸器控制線圈 MC，於是 **M** 區電磁接觸啟動，220VAC 主電源便接上 SERVO DRIVE。

### 3.3.4 遠端輸出(RIO)配接線

#### EPCIO-6005e 僅可接一組 RIO

##### 3.3.4.1 連接示意圖

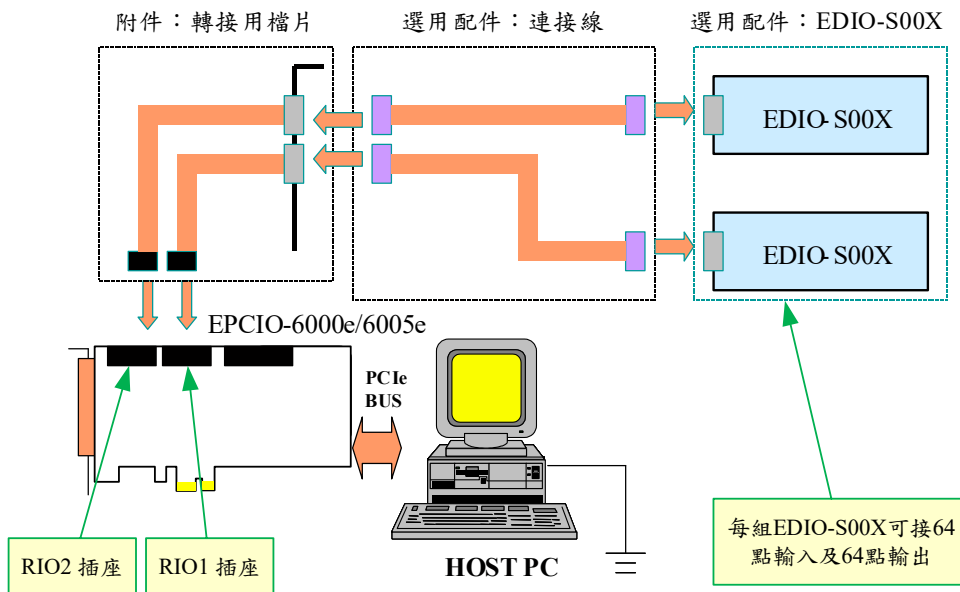


Fig.3-16

##### 3.3.4.2 轉接用檔片說明

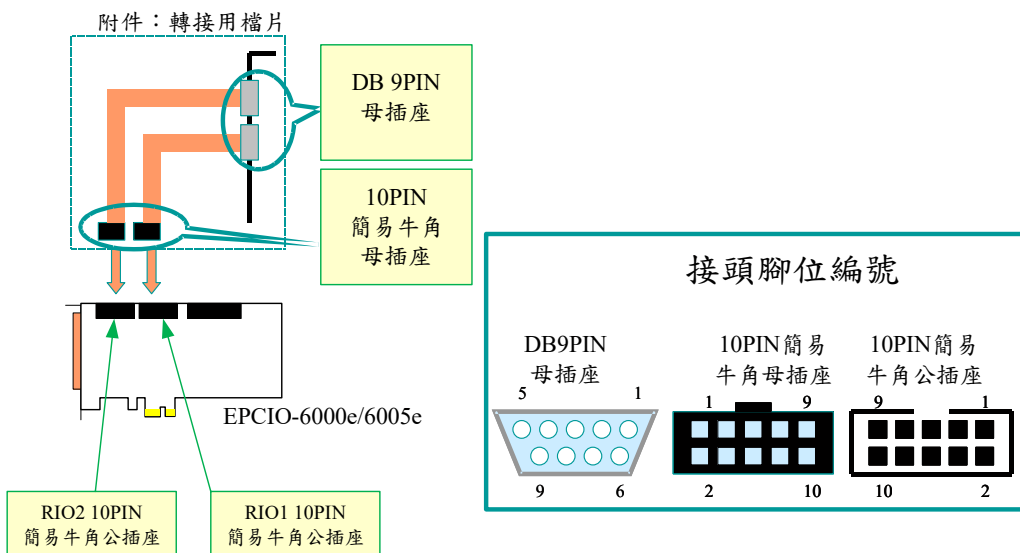


Fig.3-17





- 檔片上有二組排線  
排線一端是10PIN簡易牛角母插頭，用來分別插在EPCIO-6000e之RIO1及RIO2插座上。  
另一端是DB 9PIN母插座，用來連接EDIO-S00X模組
- 排線內部連接方式如下(參考上面之腳位定義)  
16PIN簡易牛角母插頭 ↔ DB15PIN母插座  
1 ↔ 1  
2 ↔ 2  
3 ↔ 3  
4 ↔ 4  
5 ↔ 5  
6 ↔ 6  
7 ↔ 7  
8 ↔ 8  
9 ↔ 9  
10 ↔ 未接
- 所以由排線定義得知DB9 PIN母插座腳位定義同RIO 10PIN簡易牛角公插座  
(除了第10腳未用)

### 3.3.4.3. EDIO-S00X 遠端控制 I/O 子板部份說明

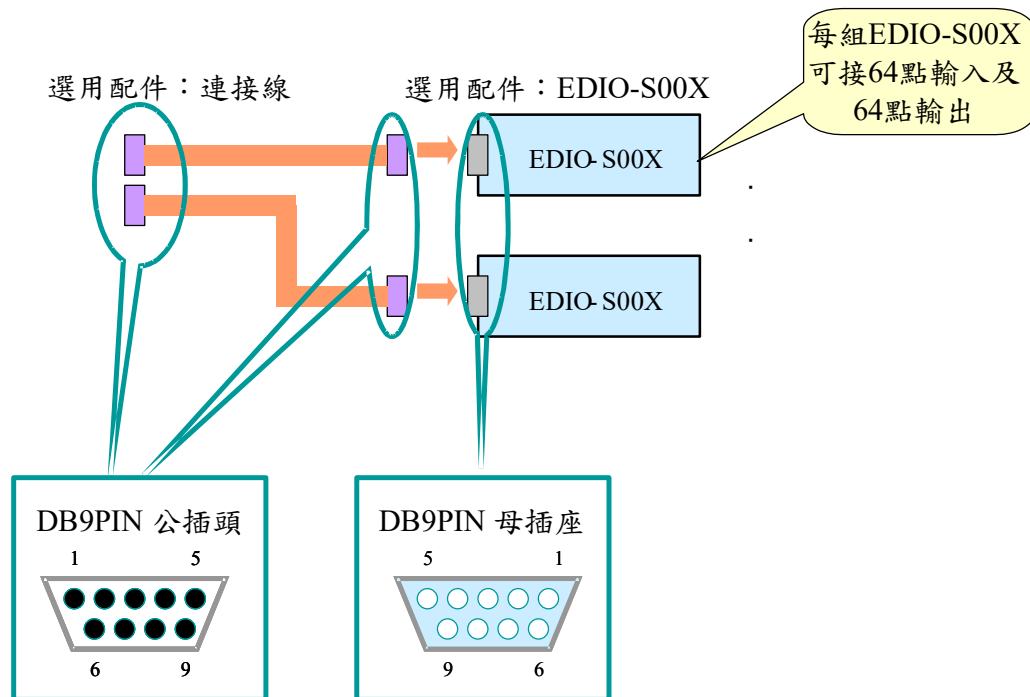


Fig.3-18

- 連接線之兩個 DB9PIN 公插頭連接方式為：  
1↔1、2↔2、.....、9↔9
- EDIO-S00X 之 DB9PIN 母插頭插孔定義：  
1→CLK\  
2→SCS\  
3→SD0\  
4→SDI\  
5→GND  
6→CLK  
7→SCS  
8→SD0  
9→SDI

### 3.3.5 ADC 配線及說明

#### **EPCIO-6000eADC 選配； ONLY FOR EPCIO-6000e**

##### 3.3.5.1 請參考下圖

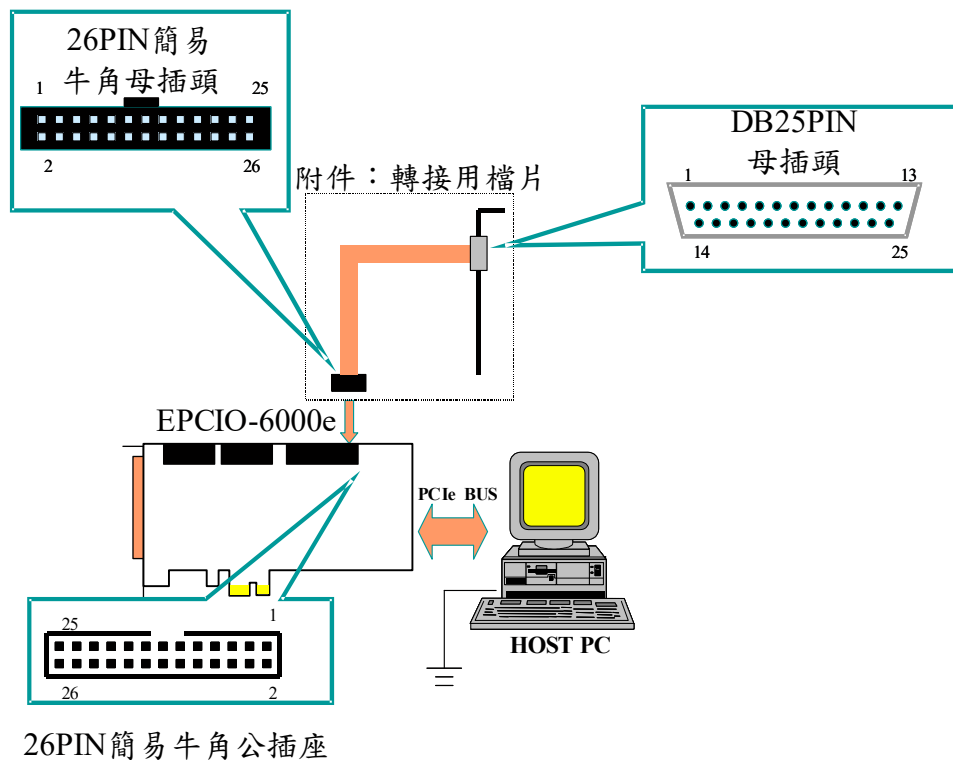


Fig.3-19

- 檔片上有一組排線。  
排線一端是 26PIN 簡易牛角母插頭，用來分別插在 EPCIO-6000e 之 ADC 插座上。  
另一端是 DB25PIN 母插座 用來配接外界所要量測的訊號。
- 排線內部連接方式如下(參考上面之腳位定義)

26PIN 簡易牛角母插頭 ← → DB25PIN 母插頭

1 ← → 1  
2 ← → 2  
3 ← → 3  
.....  
24 ← → 24  
25 ← → 25  
26 ← → NC



### 3.3.5.2 DB25pin 母插頭接腳說明

Pin 01 : ADC+0	Pin 02 : ADC-0
Pin 03 : ADC+4	Pin 04 : ADC-4
Pin 05 : ADC+1	Pin 06 : ADC-1
Pin 07 : ADC+5	Pin 08 : ADC-5
Pin 09 : ADC+2	Pin 10 : ADC-2
Pin 11 : ADC+6	Pin 12 : ADC-6
Pin 13 : ADC+3	Pin 14 : ADC-3
Pin 15 : ADC+7	Pin 16 : ADC-7
Pin 17 : AGND	Pin 18 : AGND
Pin 19~25 : unconnected	

### 3.3.5.3 配接說明

A. 參考下表選擇配線方式：

待測源電壓範圍 (註1)	說 明	軟體設定 模式	JP4 設 定	配接方 式
0~10VDC	待測源有共地點(Single ended)	Unipolar	Unipolar (註2)	A
0~10VDC	待測源無共地點	Unipolar	Unipolar	B
-5~5VDC	待測源有共地點(Single ended)	Bipolar	Bipolar (註3)	C
-5~5VDC	待測源無共地點	Bipolar	Bipolar	D

註 1：待測源電壓範圍是指 Fig 3-20、Fig-21 之待測源正端(例： $V_{ADC6+}$ )減負端(例： $V_{ADC6-}$ )之電壓差。

註 2：Unipolar MODE，指 JP4 之 UNI 及 COM 短路。

註 3：Bipolar MODE，指 JP4 之 BIP 及 COM 短路。

註 4：Fig 3-20、Fig 3-21 上 25pin 接頭之 1~16 pin 之電壓不可超過 AGND(17、18pin) +/- 15VDC 以內。

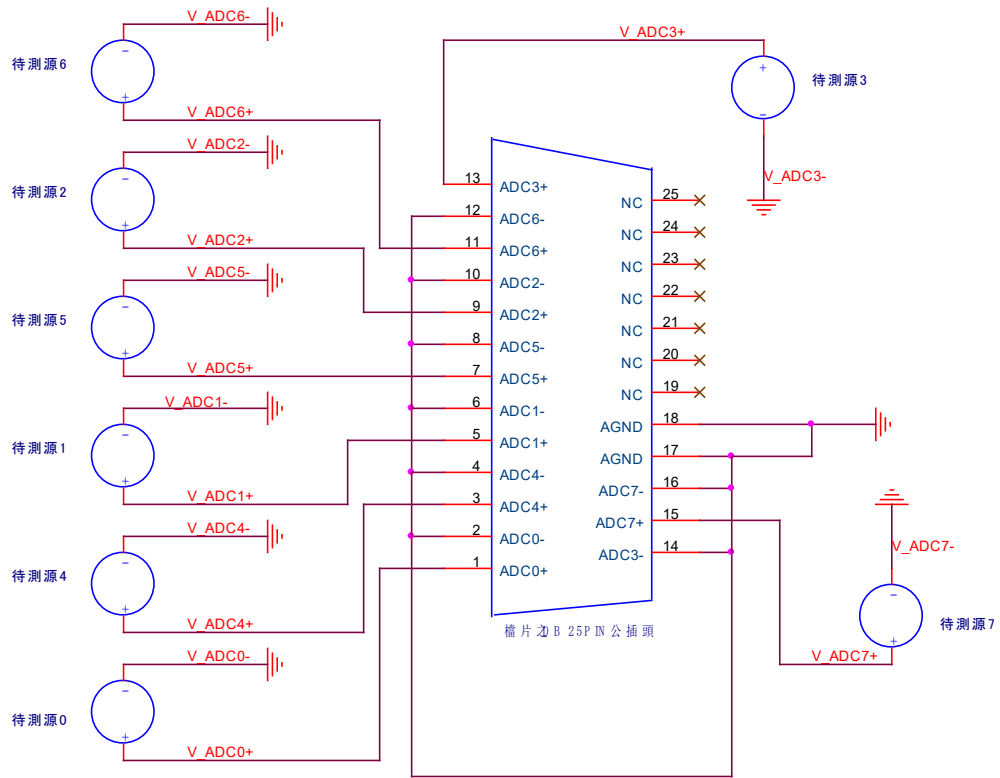


Fig.3-20 Single ended 待測源之接線方式

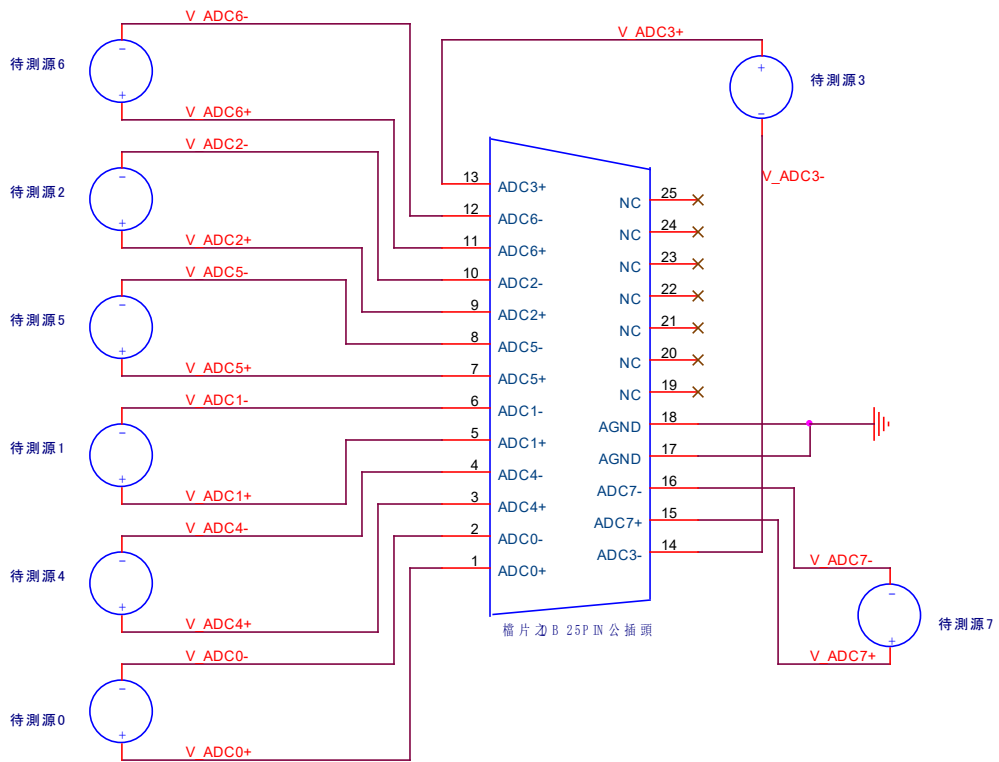


Fig.3-21 Differential 待測源之接線方式



### 3.3.6 轉接板選用說明

EPCIO-6000e	Input	Output	脈波輸出	閉迴路電壓 命令輸出	DAC 輸出
With EPCIO-601-1/2	Source	Sink	有	有	有

EPCIO-6005e	Input	Output	脈波輸出	閉迴路電壓 命令輸出	DAC 輸出
With EPCIO-601-1/2	Source	Sink	Bypass	無	無