

PCI 匯流排之發展趨勢及在運動控制卡上之應用

The Development Trend of PCI Bus and its application on the Motion Control Card

工業技術研究院 機械所 吳承學

關鍵字

PCI 匯流排，組態暫存器，即插即用，運動控制卡

Keywords

Peripheral Component Interconnect Bus (PCI Bus), Configuration Register, Plug & Play, Motion control card

摘要

PCI 匯流排問世已有十年以上的歷史，其不需使用者做任何設定，可由系統偵測到介面卡之存在並自動配置系統資源的隨插即用能力，使其成為現今 PC Based 運動控制卡之主流。並在往後數年新一代的 I/O 介面普及市場前仍將扮演重要之角色。

本文簡述了 PCI 匯流排介面之規格與架構，分析 PCI 介面如何應用於運動控制模組上，並對 PCI 介面之發展趨勢及後繼的新一代 PCI 匯流排介面做了概觀性之介紹。

Abstract

The PCI Bus debuted over a decade ago and has become the I/O backbone of nearly every computing platform, including the field of Motion control, due to its auto configuration-ability which can discover all of the add-in devices present and allocate system resources for communicating with those PCI devices.

The article briefs the PCI system architecture and illustrates the implementation of PCI bus on the Motion control card. Moreover, some PCI derivatives and a third generation local I/O bus, the actually successor of PCI bus, are introduced in the end of this article.

前言

隨著資訊科技軟/硬體的快速進步與發展，當電腦中央處理器性能不斷提升，運算速度越來越快的同時，連接各種週邊設備的支援介面、傳輸資料的匯流排速度也勢將須大幅提升。傳統的 ISA（工業標準架構匯流排）介面擴充卡其最高僅 16-bit, 8MHz 的傳輸速度及需由使用者指定資源的缺點，於今日已無法發揮 CPU 具高速運算及視窗作業系統支援即插即用功能之優點，亦不符合多媒體裝置快速資料傳輸的需求，已被屏除於現今 PC 通用的規格架構之外，而取而代之的 PCI 技術是當今匯流排介面應用最為廣泛的標準。

不同應用領域對於電腦及其介面擴充設備的要求雖並不盡相同，但為適應增加速度的不同需求及穩定性，週邊的 I/O 介面也衍生出多種不同應用領域的匯流排。電腦擴充設備之介面的共同趨勢是朝開放性架構、高速、使用方便、高可靠度、低成本等方向發展，因此，今日的個人電腦中已極難發現到 ISA 介面的存在，保留下來的則是 PCI 匯流排 (Peripheral Component Interconnect Bus)，USB (Universal Serial Bus)以及 IEEE-1394 Standard。

自 PCI 匯流排問世並成為電腦週邊輸出入介面之主流骨幹已有十年以上的歷史，並且在往後數年新一代的 I/O 介面普及市場前仍將扮演極重要的角色。在運動控制領域，隨著 PC 演進的 PC-Based 控制器，雖然對資料傳輸之速度要求並未比多媒體系統來得高，但為順應架構之演進，現今 PC Based 的運動控制卡也多由傳統的 ISA 介面而演進為 PCI 介面規格。

PCI Bus 除改善了 ISA 頻寬不足的問題，同時在規格上也做了更嚴謹的定義，讓介面卡變得更聰明，使用者不需要作任何設定，即可由系統偵測到介面卡的存在。從技術開發與 PC Based 零組件供應而言，具 PCI 介面之 PC Based 運動控制卡已是現今運動控制模組之主流[1] [2]。

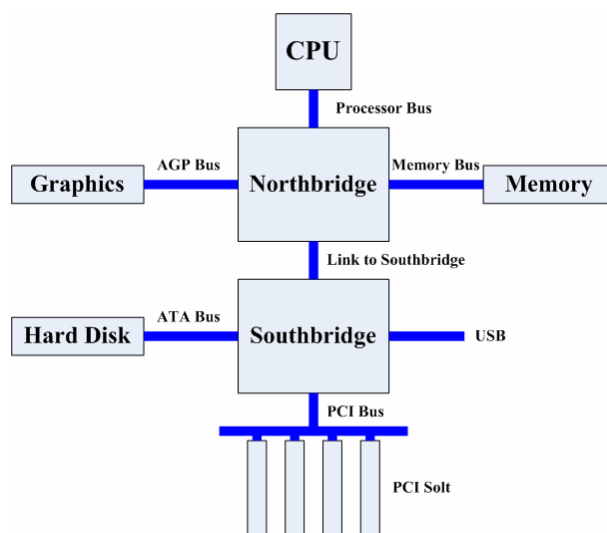
本文將自 PCI 匯流排介面之規格與架構著手，分析 PCI 介面如何應用於運動控制模組上、如何與 PC 間進行資源分配的溝通，並對 PCI 介面之演進、發展趨勢以及未來後繼 PCI 的新一代匯流排介面—PCI Express 規格做一概觀之介紹。

PCI 匯流排與 PCI 系統架構

PCI 為 Peripheral Component Interconnect（週邊裝置元件互連）之縮寫，PCI 1.0 版由 Intel 公司於 1992 年公佈，Intel 在希望 PCI 標準能夠成為 PC 介面的開放性架構的同時，為了不讓電腦資訊產業相關業者有規格受束縛的疑慮，因此結合了 AMD、ATi、IBM、HP、Microsoft、TI 等公司組成了 PCI Special Interest Group (PCI SIG) [3]，該協會為一具公正立場之組織，並負責日後 PCI 介面標準的開發訂定與管理維護。目前 PCI 最後的正式版本是 PCI Local Bus 3.0[3]，此版本取消了对 5 volt 電壓設備的支援，然仍有許多專用 PCI 匯流排介面晶片採用對 5 volt 電壓支援的先前 2.x 版本，其主要規格如下[4][5]：

- Clock 速度：33 MHz (5 volt 或 3.3 volt 工作電壓)
66 MHz (3.3 volt 工作電壓)
- 匯流排寬度：32 或 64 bits
- 最大傳輸速度：132 MB per sec for 33 MHz, 32-bit PCI Bus
264 MB per sec for 66 MHz, 32-bit PCI Bus
264 MB per sec for 33 MHz, 64-bit PCI Bus
528 MB per sec for 66 MHz, 64-bit PCI Bus
- 匯流排接腳數目：124 pins (for 32 bits) / 188 pins (for 64 bits)
- 具自動組態功能 (Auto configuration)

圖一為典型的 PCI 電腦系統內部架構，此圖說明了 PCI 匯流排、處理器匯流排 (Processor Bus)、記憶體匯流排 (Memory Bus)、與其它擴充介面匯流排間之關連。匯流排 (BUS) 之功用如同道路一般，為用以連結 PC 系統中所有的裝置與設備至電腦中央處理器 (CPU) 及記憶體 (RAM) 的一組訊號線，各項設備的資料與指令等訊號經由這些訊號通道傳遞，不同的匯流排有其不同的資料傳輸協定與溝通介面，因此便需要橋接器 (Bridge) 來進行各匯流排間彼此資料傳送之控制處理。目前電腦系統的架構主要由南橋及北橋兩大晶片組所掌管，其中連結處理器、記憶體與圖形顯示卡所專用的 AGP Bus 等三種需具高速資料傳輸與存取能力的匯流排橋接器通稱為北橋 (North Bridge)，北橋下接第二個橋接器為俗稱之南橋 (South Bridge)，南橋再與眾多不同介面之 I/O 擴充裝置如硬碟機、USB Ports、PCI 匯流排等設備接續。

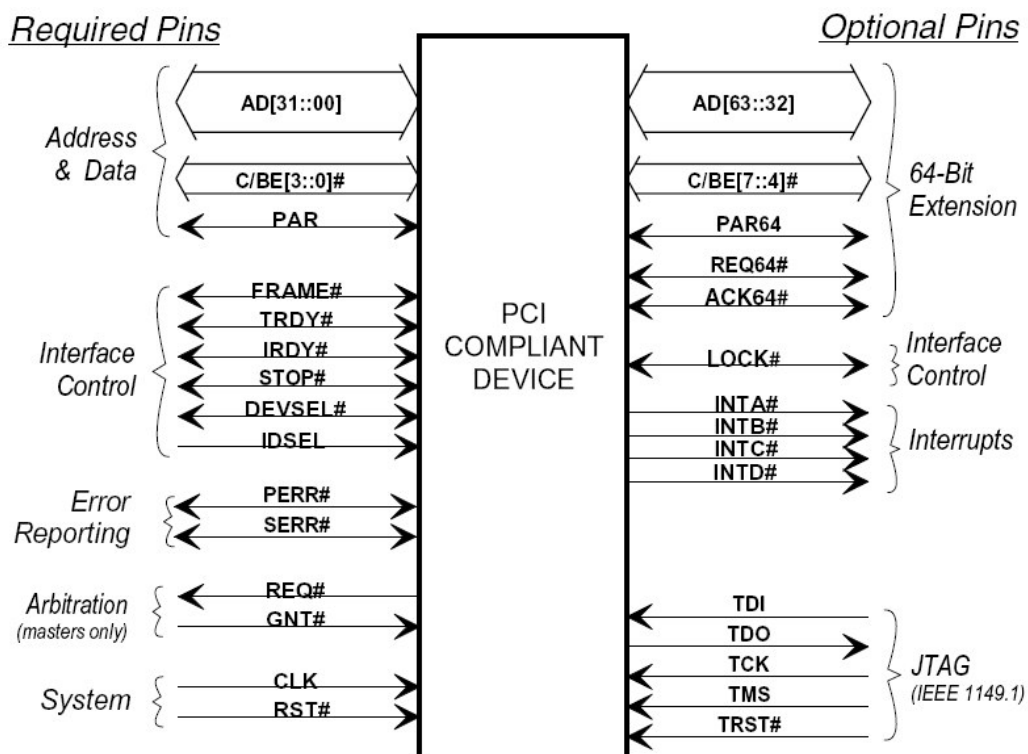


圖一 典型的 PCI 電腦系統架構 [13][12]

PCI 匯流排上接南橋，而所有接於 PCI 介面擴充槽上的各類裝置便與其銜接共用同一組匯流排，透過單一之 PCI Bus 往上與 CPU 或記憶體進行溝通。因此可知，PCI 匯流排實際為一多點下傳 (Multi-drop)、採並列式 (parallel) 傳輸的共享匯流排 (shared bus)。

當每次 PCI bus 上有資料進行傳輸交易時，皆會有兩個參與者，Master 與 Slave（或稱 Initiator 與 Target），Master 為起始傳輸之裝置，而 Target 是 Master 為了進行傳輸所定址之裝置。而既然 PCI Bus 可容許多個裝置位於其上，共用同一 PCI 匯流排，故連接於 PCI 介面擴充插槽上之每項裝置便皆可擁有一段 PCI 匯流排使用權的時間，當匯流排上有兩個以上的 bus Master 需使用匯流排時，即必須透過一套匯流排仲裁機制來協調匯流排上之控制，分配 PCI 匯流排之使用權。

PCI 匯流排訊號群組



圖二 PCI BUS Signal List [5]

PCI Bus 之訊號群組如圖二所示，其中主要訊號線之功用簡述如下[7]，詳細之匯流排操作與訊號及時序 (timing) 定義則可參閱 PCI 規格書[5]。

1. 位址與資料訊號 (Address & Data)

- PCI Bus 使用分時多工的位址/資料匯流排 AD[31:00]及 PCI Bus 特有的 4 位元指令 C\BE[3:0]# (Bus Command or Byte Enable) 來對 PCI Bus 所具有的 Memory, I/O, Configuration Register 等三種組態空間(Configuration space)做資料傳輸。
- 在資料傳輸的位址階段 (Address Phase)，AD[31:00]作為位址匯流排 (Address Bus)，傳送起始位址，而 C\BE[3:0]#以 4 位元指令定義欲存取的組態空間 (Memory, I/O, Configuration Register)。
- 在交易的資料階段 (Data Phase)，AD[31:00]作為資料匯流排 (Data Bus)，傳送存取之資料；而 C\BE[3:0]#作為位元組致能信號 (Byte Enable)。

2. 介面控制訊號 (Interface Control)

– FRAME# (Cycle Frame) :

由 PCI Master 驅動，用來指示資料傳輸之開始與結束。

– IRDY# (Initial Ready) :

由 PCI Master 驅動，表示 PCI Master 已備妥(Ready)，可進行資料傳輸。

– TRDY# (Target Ready) :

由 PCI Target 驅動，表示 PCI Target 已備妥(Ready)，可進行資料傳輸。

– DEVSEL# (Device Select) :

由 PCI Target 驅動，當 PCI Target 被存取時發出。

– STOP# :

由 PCI Target 驅動，表示希望 PCI Master 停止目前進行之資料傳輸交易。

– IDSEL# (Initialization Device Select) :

於存取 PCI Configuration Register (PCI 組態暫存器) 期間由 PCI Master 驅動。

3. 系統訊號 (System)

– CLK (PCI 時脈訊號)

CLK 提供 PCI 匯流排上所有傳輸交易的時序，除重置 RST#及中斷訊號 INTA#、INTB#、INTC#和 INTD#外，PCI 裝置的所有輸入都是在 CLK 訊號的上升邊緣被取樣，在匯流排上的所有動作皆與 PCI CLK 訊號同步，其頻率範圍可在 0MHz 到 33MHz 之間操作。

– RST# (重置訊號)

當重置訊號被驅動成低態時，將強迫所有 PCI 組態暫存器、Master 與 Target 狀態機器與輸出驅動器回到初始狀態。重置訊號可在不同步於 PCI CLK 時脈訊號邊緣的情況下被驅動或反驅動。

4. 中斷訊號 (Interrupts)

每個 PCI device 具有 INTA#、INTB#、INTC#和 INTD#等四條中斷請求輸入線。當 PCI device 是單功能 (Single Function，由 PCI Configuration Register 中之 Header Type 設定) 裝置時，僅能允許使用 INTA#；當 PCI device 為多功能 (Multi-Function)裝置時可允許使用 INTA# ~ INTD#。

PCI 組態暫存器 (PCI Configuration Register)

為方便使用者操作，現今通用於個人電腦上的介面擴充卡多具有即插即用 (Plug & Play)能力，而欲達到此一能力，則介面擴充卡在設計上需做到下列事項之配合[8][9]：

– PC 需具介面擴充卡偵測及資源分配之機制

PC BIOS 與作業系統等系統軟體須具有能夠偵測到目前電腦上有哪些介面擴充卡存在及自動分配系統資源的能力。

— 介面擴充卡上需具有製造商/產品裝置識別代號及資源需求清單

爲了讓系統軟體能夠區別插在 PC 上眾多的擴充卡，擴充卡本身需提供自己的製造商及裝置識別代號資訊，同時尚須提供欲向 PC 要求之 Memory、I/O、Interrupt 等資源清單，以便讓 PC 系統軟體讀取並分配資源給該擴充卡。

就硬體設計而言，不同介面形式的擴充卡是否具有隨插即用功能的關鍵在於介面擴充卡本身是否具備一組組態暫存器 (Configuration Register)，以提供上述與 PC 溝通的相關資訊 (製造商/產品裝置識別代號、資源需求清單)。傳統的 ISA 擴充卡並未定義組態暫存器，因此無法讓 PC 自動偵測與分配必要的資源給該擴充卡；PCI Bus 於其規格上定義了一組組態暫存器 (PCI Configuration Register)，因此只要 PC 端的系統軟體符合 PCI 軟體規格，即可實踐 PCI Bus 隨插即用之功能。

PCI Configuration Register 基本上爲一 64 Dword (256-byte) 的組態空間 (Configuration Space)，其中 64 Dword 中的前 16 Dword 之格式與應用是由 PCI 規格強制預先定義，被稱組態表頭空間 (configuration Header space)，其格式分爲 Header Type 0, Header Type 1, Header Type 2 三種：

- Header Type 0 定義爲給除了 PCI-to-PCI 與 CardBus Bridge 外的所有裝置使用。
- Header Type 1 定義爲給 PCI-to-PCI Bridge 所使用。
- Header Type 2 定義爲讓 CardBus Bridge 使用。

不論哪一種 Type 之前 16 Dword 的表頭空間皆具相同的定義與使用方式；後 48 Dword 則依 PCI 裝置基本功能而有不同的定義。

多數的 PCI 元件的 Configuration Register 皆屬於 Header Type 0，其格式如表一所示，其中 Device ID, Vendor ID, Status, Command, Revision ID, Class Code, 及 Header Type 等暫存器是強制任一 PCI 裝置皆須給定之資料，其餘部分則依 PCI 裝置實際的設計做選擇性規劃。

| | | | | |
|-----------------------------------|--------------------|----------------------------|---------------------------|--|
| 31 | 16 | 15 | 0 | |
| Device ID | | Vender ID | | 00h |
| Status | | Command | | 04h |
| Class Code | | | Revision ID | 08h |
| BIST | Header Type | Latency Timer | Cache Line Size | 0ch |
| Base Address Registers | | | | 10h 14h 18h 1Ch 20h 24h |
| Cardbus CIS Pointer | | | | 28h |
| Subsystem ID | | Subsystem Vender ID | | 2Ch |
| Expansion ROM Base Address | | | | 30h |
| Reserved | | | Capability Pointer | 34h |
| Reserved | | | | 38h |
| Max_Lat | Min_Gnt | Interrupt Pin | Interrupt Line | 3Ch |

表一 PCI Configuration Registers for Header Type 0

PCI Configuration Register Header Type 0 主要暫存器的意義概述如下，詳細的使用方式請參閱 PCI 規格書[4][5]。

– Vender ID（製造商識別碼）：

由 PCI Special Interest Group (PCISIG)分配用以識別該 PCI device 製造商，若欲得到一組專用的 Vender ID 需加入成爲 PCISIG 會員。

– Device ID（裝置識別碼）：

由 PCI device 製造商自行指派，用以識別裝置的產品名稱。

– Command（指令暫存器）：

PC 與 PCI device 間溝通之設定，例如要求 PC 是否對此 PCI device 做 I/O 或 Memroy 資源空間配置等。

– Status（狀態暫存器）：

指示目前資料交易傳輸之狀態。

– Revision ID（版本識別碼）：

由設備製造商自行指派，用以識別裝置的產品版本。

– Class Code（類別碼）：

設定 PCI device 之類別，用以確認 PCI 裝置之基本功能（例如資料擷取與訊號處理控制器 (Data acquisition and signal processing controllers)），需依 PCI 規格設定。

– Header Type :

設定 PCI Configuration Register 之 Header Type (Type0, 1, or 2)及該 PCI device 是屬於單功能裝置 (Single Function device) 或多功能裝置 (Multi-Function device)。

– Base Address (基底位址) :

在系統自動組態軟體尚未執行前，此暫存器紀錄著該 PCI device 欲向 PC 要求的 Memory 與 I/O 之資源範圍，而後自動組態軟體將依其需求，分配所需的 Memory 或 I/O 資源給該 PCI 裝置，並將所分配資源的 base address 回填入此暫存器。

– Interrupt Pin :

設定 PCI device 使用哪一條中段請求線，其內含值 01~04 對應到 PCI device 中斷信號的 INTA# ~ INTD#。

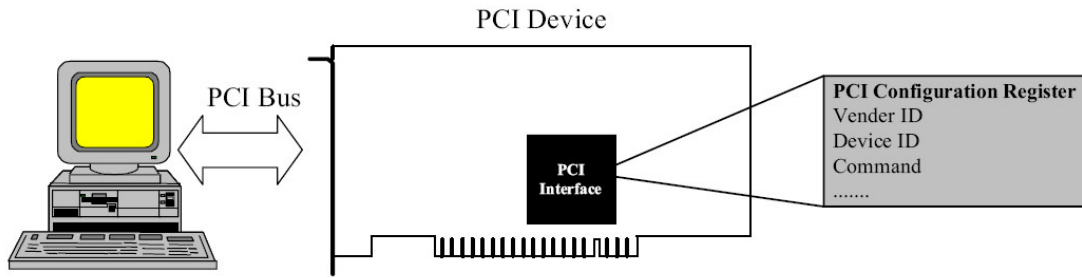
– Interrupt Line :

當 PCI device 要求 PC 做中斷配置時，此暫存器由自動組態軟體填入系統所配置之中斷線號碼，其中 00h ~ 0fh 分別表示使用 PC 中斷控制器上的 IRQ0 ~ IRQ15 中斷線。

PCI 介面於運動控制卡上之應用

PC Based 運動控制器是以電腦作為系統操作平台，對運動控制模組而言，PC 介面雖不屬於核心技術，但卻足以影響整體效能，目前國內工研院機械所所研發出之 EPCIO 系列 PCI 介面運動控制卡[10]，應用 PCI 介面之優點，除提高與 IPC 間資料傳輸之速度外，與 IPC 間溝通的初始化則由軟體自動組態設定，減少使用者之負擔及因不當手動操作設定所造成之困擾。

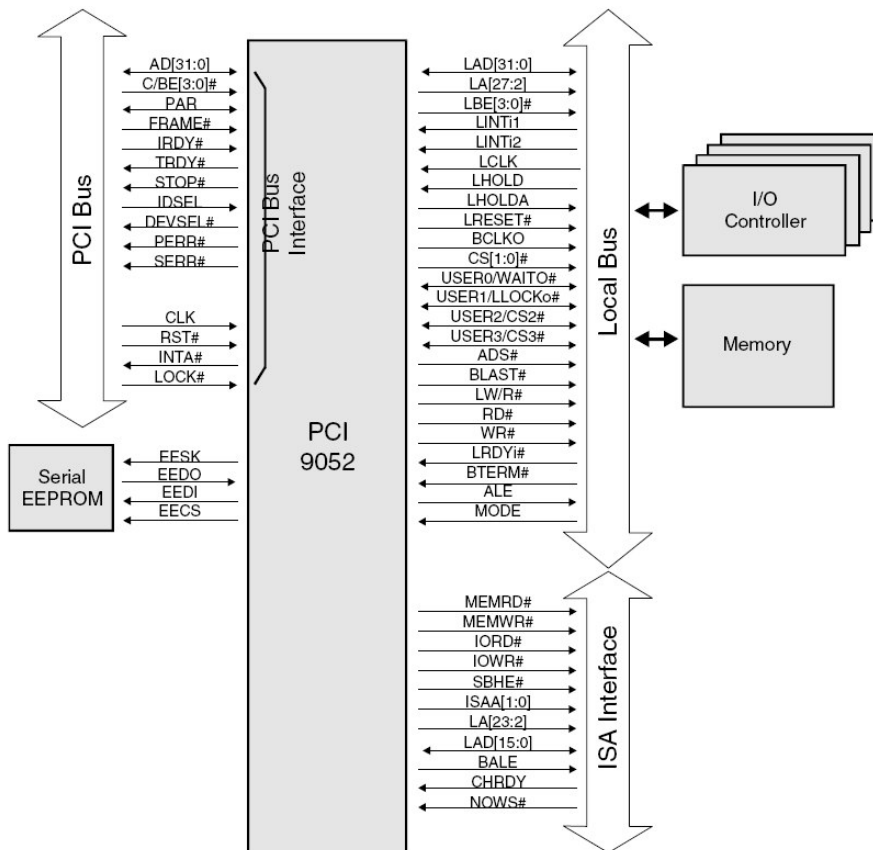
在硬體開發上，用以實現 PCI 介面之方案通常可分為採專用符合 PCI 規格之匯流排介面晶片，或透過 FPGA 等可程式邏輯元件自行設計 PCI 介面兩種方式。專用介面晶片方面，現有的 IC 製造廠商所開發之 PCI Bus 介面 IC 主要有 PLX Technology 公司的 PCI 905x 系列與 AMCC 公司的 S59xx 系列；另一方面，亦有一些 FPGA 製造商提供符合 PCI Local Bus 規格的 PCI IP Code (Intelligent Property Code)，讓自行設計可程式邏輯元件的方式能有加速實現 PCI 介面之手段。此類專用介面 IC 與 IP Code 皆具有符合 PCI Local Bus 的 Configuration Register 及信號 timing。圖三所示即為利用專用 PCI 介面 IC 或自行設計之內含 PCI IP 的可程式邏輯元件做為 PCI 裝置透過 PCI Bus 與 PC 溝通之介面，如此作法可將產品硬體開發之時間大幅縮短[1][2]。



圖三 PCI Interface [1][2]

EPCIO 系列 PCI 介面運動控制卡採用了 PLX 公司所生產的 PCI 9052 匯流排介面晶片[6]，PCI 9052 主要連接 PCI 匯流排與區域匯流排 (Local Bus) (圖四)，用以控制 PCI 與 Local Bus 間傳送資料之處理，並與一 Serial EEPROM (串列式電子可抹除程式控制記憶體) 相接，Serial EEPROM 的功用為提供 PC 開機時進行 PCI 裝置偵測與系統資源分配所需之初始化組態資料。

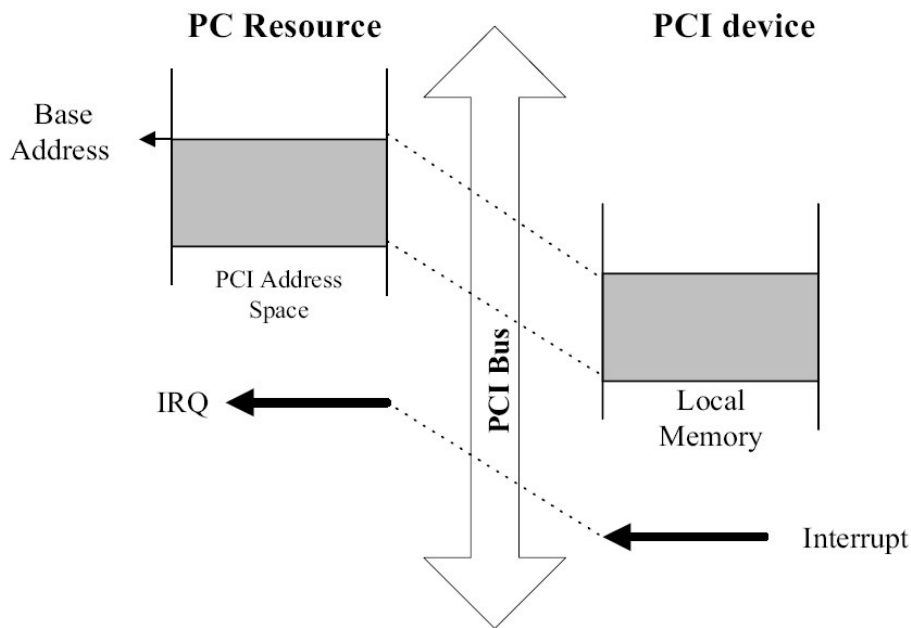
PCI 9052 內部的 PCI 組態暫存器 (PCI Configuration Register) 與區域組態暫存器 (Local Configuration Register) (表二) 藉由載入 Serial EEPROM 內之組態資料，設定可讓 PC 端偵測到 PCI 裝置之 Vendor ID 等識別資訊與所需的記憶體、I/O 範圍 (Range) 與基底位址 (Base Address)、IRQ number 等系統資源。透過 PCI 9052，可將 PCI 位址空間 (Address Space) 對應至 Local 位址空間 (圖五)，使 PC 端與 PCI 運動控制卡得以互相溝通，進行各種讀寫之操作。



圖四 PCI 9052 Block Diagram [6]

| PCI (Offset from Local Base Address) | To ensure software compatibility with other versions of the PCI 9052 family and to ensure compatibility with future enhancements, write 0 to all unused bits. | | PCI Writable | Serial EEPROM Writable |
|--|---|---|-----------------|------------------------------|
| | 31 | 0 | | |
| 00h | Local Address Space 0 Range | | Y | Y |
| 04h | Local Address Space 1 Range | | Y | Y |
| 08h | Local Address Space 2 Range | | Y | Y |
| 0Ch | Local Address Space 3 Range | | Y | Y |
| 10h | Expansion ROM Range | | Y | Y |
| 14h | Local Address Space 0 Local Base Address (Remap) | | Y | Y |
| 18h | Local Address Space 1 Local Base Address (Remap) | | Y | Y |
| 1Ch | Local Address Space 2 Local Base Address (Remap) | | Y | Y |
| 20h | Local Address Space 3 Local Base Address (Remap) | | Y | Y |
| 24h | Expansion ROM Local Base Address (Remap) | | Y | Y |
| 28h | Local Address Space 0 Bus Region Descriptors | | Y | Y |
| 2Ch | Local Address Space 1 Bus Region Descriptors | | Y | Y |
| 30h | Local Address Space 2 Bus Region Descriptors | | Y | Y |
| 34h | Local Address Space 3 Bus Region Descriptors | | Y | Y |
| 38h | Expansion ROM Bus Region Descriptors | | Y | Y |
| 3Ch | Chip Select 0 Base Address | | Y | Y |
| 40h | Chip Select 1 Base Address | | Y | Y |
| 44h | Chip Select 2 Base Address | | Y | Y |
| 48h | Chip Select 3 Base Address | | Y | Y |
| 4Ch | Interrupt Control/Status | | Y | Y |
| 50h | User I/O, Direct Slave Response, Serial EEPROM, and Initialization Control | | Y | Y |

表二 Local Configuration Registers [6]



圖五 系統資源 Mapping [1]

因此，當一張運動控制卡置於 PCI 插槽上，系統開機後將偵測其存在並獲取該卡之資源需求，再由 PC 端資源管理軟體自動分配不與其它裝置互相衝突的系統資源給該張運動控制卡，完成自動組態功能。其整個初始化的過程如下[2][8]：

1. 電腦開機後，系統軟體逐一檢查 PCI 插槽上 PCI 元件的 Vender ID，當發現某 PCI 插槽上裝置的 Vender ID 不是 0XFFFF（裝置不存在）時，表示該插槽上有 PCI 元件存在，藉由確認其 ID，系統將載入該裝置的正確驅動程式。
2. 當系統軟體偵測到 PCI 元件後，將讀取該 PCI 元件的 Local Configuration Register 以獲取資源需求資訊 (Memory range, I/O range, Interrupt number)。
3. 系統自動組態軟體分配沒有衝突的資源給該 PCI 元件，並將所分配之 Memory, I/O, IRQ 等資源訊息填入 PCI Configuration Register。
4. PCI 元件需依 Local Configuration Register 內的 Memory 或 I/O 資源分配資訊做解碼，讓 PCI 元件上的 Local Memory 對應至 PC 端分配到的系統資源。
5. PC 端應用程式欲控制 PCI 元件時必須先獲知控制該 PCI 元件的 Memory 或 I/O 之 base address 及 IRQ number 等資源分配資訊，而後透過 Memory 或 I/O Port 控制該 PCI 元件，並處理由該元件所發出的中斷要求。

綜上所述，EPCIO 系列 PCI 介面運動控制卡可具有即插即用功能，當控制卡置入 PCI Bus 插槽中並開機後，Windows 作業系統將自動偵測到此運動控制卡加入系統中並辨識其型號，使用者僅需依指示步驟操作即可完成驅動程式安裝程序。安裝完成後，使用者可由控制台 \ 系統 \ 裝置管理員下查看其資源分配情形（圖六），且這些資源並不會與其他裝置互相衝突。



圖六 EPCIO Series Motion Card 系統資源分配實例

PCI 匯流排之發展趨勢及其延伸/衍生介面

快速和高頻寬傳輸匯流排是現代電腦與週邊設備所追求之目標，更快的中央處理器需要更快的輸出入匯流排，當中央處理器性能不斷提升，匯流排上所銜接之介面卡的頻寬卻被限制住，而無法獲得同步提升，這意味著電腦整體的性能也將被限制住。因此，即使 PCI 仍是目前應用最爲廣泛的介面標準，原始 PCI 32-bit, 33MHz 每秒 133MB 的傳輸速率也已漸不敷使用，從而自 PCI 標準上衍生出各種不同功能之匯流排架構，包括專屬於圖形顯示卡的 AGP 匯流排與用於伺服器系統上之 PCI-X 匯流排 [12]。

AGP

最早的 PCI 匯流排介面原是設計爲可支援 2D 圖形顯示卡的應用，然而在 PCI 問世不久後，3D 圖形顯示卡增加頻寬之需求即很快地超過 PCI Bus 32-bit, 33MHz 的標準頻寬。因此，Intel 與一些圖形顯示系統廠商合力制定出了 AGP 規格，並將其定位爲專爲繪圖操作所使用的高速 PCI 匯流排。AGP 匯流排的出現卸除了 PCI 系統匯流排在圖形顯示上的傳輸負擔，並可提供更多的頻寬於其他的 I/O 設備所用。隨著時間演進，圖形匯流排也由原先的 PCI 到 AGP，再從 AGP 到 AGP2X, AGP4X 直至今日每秒可以 2.1 gigabytes (GB/sec) 傳輸速率進行操作的 AGP8X。

PCI-X

在伺服器系統的應用上，原始 32-bit, 33MHz 的 PCI Bus 被擴充爲 64-bit, 66MHz, 頻寬 532MB/sec 的匯流排，此 64-bit 匯流排之運作頻率再被擴充爲 100MHz 和 133MHz 即爲 PCI-X 匯流排。PCI-X 匯流排主要應用於高階伺服器及雙處理器的工作站系統上，用以連接如 Gigabit Ethernet, Ultra320 SCSI, 光纖通道等需高頻寬之 I/O 裝置並提高其性能。表三所列爲 PCI, PCI-X 與 AGP 匯流排之頻寬比較[12]。

PCISIG 於 2003 年將 PCI-X 之規格提升至 PCI-X 2.0，讓原先 PCI-X 133MHz 之資料傳輸率加倍成爲 64-bit, 266MHz。然而，隨著不斷升高的頻寬需求與 PCI 匯流排的擴充，PCI-X 2.0 的提出也連帶浮現出若干更爲嚴重之問題。過大和昂貴以及嚴格的設計要求拉高了它的成本，而如同 PCI 匯流排一樣，PCI-X 也是一並列傳輸的共享匯流排，當一並列傳輸之匯流排寬度越寬與速度愈快時，其所伴隨的時脈同步與對雜訊更爲敏感之問題便愈形明顯，且多個裝置共享一匯流排的架構也意味著匯流排上的負載加大，並可能引入更多之雜訊。

因此，爲了解決上述差距及其造成之系統瓶頸，並尋求跨越 PCI 平行匯流排的頻寬限制之道，新一代匯流排標準—PCI Express 便就此應運而生。

| Bus and Frequency | Peak 32-Bit Transfer Rate | Peak 64-Bit Transfer Rate |
|-------------------|---------------------------|---------------------------|
| 33-MHz PCI | 133 MB/sec | 266 MB/sec |
| 66-MHz PCI | 266 MB/sec | 532 MB/sec |
| 100-MHz PCI-X | Not applicable | 800 MB/sec |
| 133-MHz PCI-X | Not applicable | 1 GB/sec |
| AGP8X | 2.1 GB/sec | Not applicable |

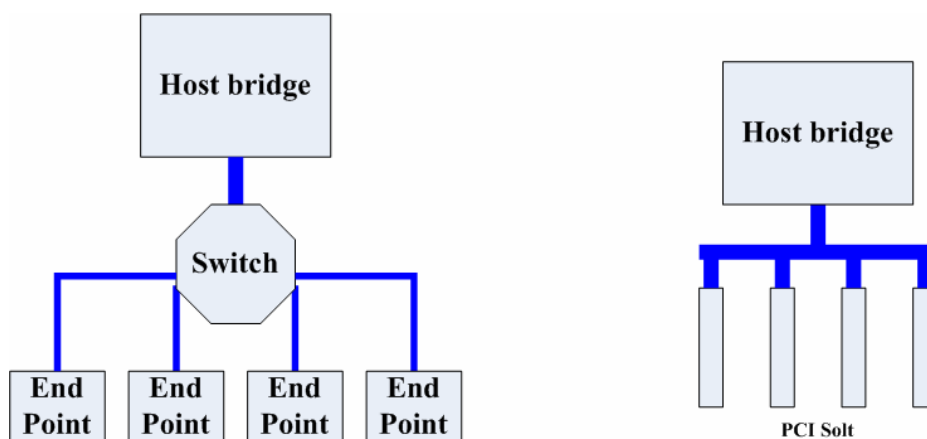
表三 PCI, PCI-X 與 AGP 之頻寬比較 [12]

第三世代匯流排：PCI Express

PCI Express 原以 3GIO (Third Generation I/O) 為名，是繼 ISA、PCI 匯流排介面之後的第三代全向性通用匯流排介面。

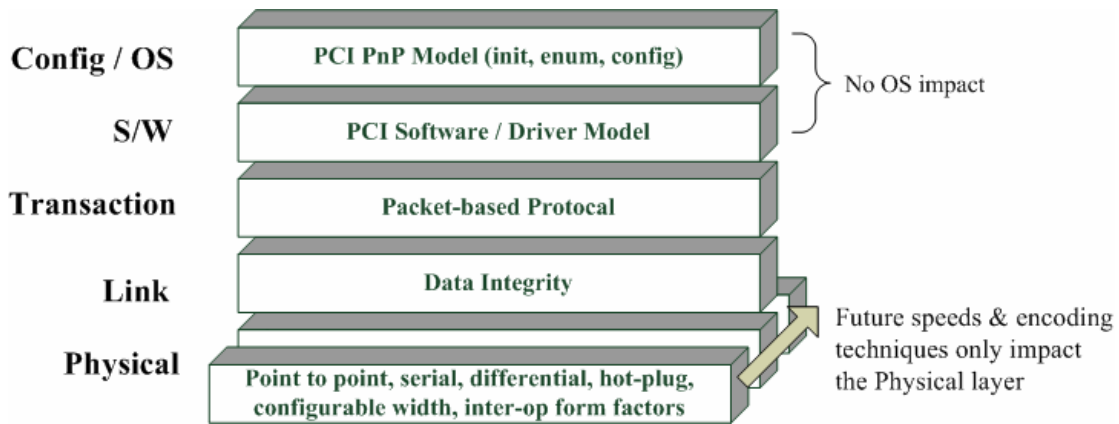
相對於 PCI 匯流排採共享式、多點下傳並行傳輸的匯流排技術，PCI Express 最明顯的改善則為其引進了交換式 (Switch) 點對點 (Point-to-Point) 串列傳輸技術，圖七顯示了兩者在系統拓撲架構 (topology) 上的差異。相較於目前 PCI 的系統架構，所有的週邊 I/O 傳輸只能通過一條主要幹道來共同分享 133MB/s 的頻寬傳送至南橋晶片，裝置資料的傳輸需由匯流排仲裁取得使用權進行切換，在遭遇較大的資料傳輸量時，很容易便讓電腦系統速度變慢，在 PCI 架構下之裝置效能可能便會大打折扣。

但在 PCI Express 的點對點匯流排拓撲結構中，原本的 PCI 共享匯流排由一共享交換器所取代，每組 PCI Express 皆獨立使用自己的通道與南橋晶片傳輸，不再是共用匯流排的架構，不但免除了資料傳輸需經匯流排仲裁而互相干擾的問題，每個裝置的資料都有第一優先處理的特權，且連接於其上的所有節點可經由交換器進行不同裝置間之溝通 (peer-to-peer communication)，因而單就 PCI Express 傳輸架構而言，其匯流排頻寬非為共享之特性便較 PCI 匯流排佔有絕對的優勢。



圖七 Shared switch and shared bus [11][13]

就 PCI Express 本身而言，PCI Express 採用了分層架構，如圖八所示，從底層開始分別是實體層、資料連結層、交易處理層、軟體層和 OS 層 [11]。



圖八 PCI Express 的分層式架構 [11]

PCI Express 在實體層(Physical Layer)引入了多通道概念用以增加系統頻寬。基本實體層由一組低電壓、以差動訊號傳輸的雙單工通道 (Lane) 所組成，其中一個為發送端 (Tx) 而另一個為接收端 (Rx)。在 PCI Express 初期版本中，每個通道具有 2.5Gb/s 的傳輸速率，能在每個方向上提供約 250MB/s 的標準頻寬。在僅有單一通道之場合稱其為 PCI Express x1 (一組 Lane 之意)，傳輸頻寬為 $250 \times 1 = 250 \text{MB/s}$ 。透過增加訊號對形成多通道，PCI Express 便可以線性調整縮放其鏈路頻寬[13]，目前 PCI Express 之規劃可提供 x1、x2、x8、x12、x16 和 x32 的通道頻寬。

從概念上看，其串列傳輸之方式將資料以位元組為單位分割，對其進行 8b/10b 編碼、嵌入資料時脈後，再平均分配到多個通道上傳輸，並於接收端進行重組。而由於 PCI Express 擁有一對雙向的專用收發端，每一條專用收發端只作單向傳輸，因此當 PCI Express 運行全雙工模式而同時收發資料時，其速度便可再增加一倍，故在全雙工的 PCI Express x16 規格中，傳輸頻寬可達至 8GB/s。

使用串列傳輸可以擺脫同步時脈的運作方式，在不增加接腳、不改變電路板、不增加製造成本之下，只須致力於時脈的提升，因此隨著矽晶技術之發展，未來亦可能達至銅線路傳輸的理論極限值 10Gb/s，在 PCISIG 於 2007 初最新發表的 PCIe 2.0 規格中已將其標準頻寬由 2.5Gb/s 倍升為 5Gb/s [3]。

PCI Express 資料連結層 (Link Layer) 所扮演的主要角色為確保數據封包在 PCI Express 鏈路傳輸上的可靠性。資料連結層負責將每個發送到實體層上的封包皆加上一個封包序號與一個用於錯誤檢測的循環冗餘檢查 (cyclic-redundancy-check, CRC) 字元以保證資料的完整。

交易處理層 (Transaction Layer) 與系統軟體互動，接收來自軟體層的讀寫請求，並將請求轉換成命令與資料封包傳送給資料連結層。每個封包都擁有一個唯一的識別符號 (identifier)，用以將回應封包指向回正確的原始軟體請求。此外其

封包格式支援 32 位元及擴充的 64 位元定址，交易處理層並支援原有 PCI 匯流排介面中的記憶體、I/O 和組態空間。

軟體的相容性對於身為第三代 I/O 匯流排標準的 PCI Express 可說最為重要，而 PCI Express 軟體層仍保有相容於 PCI 的初始自動組態模式，作業系統可以自動偵測出所有裝置於其上的硬體設備並配以 Memory、I/O space 與 Interrupts 等系統資源，因而確保現有的設備和驅動程式不用修改仍能正常工作。PCI Express 對 PCI 介面的向下相容性能力使得所有為 PCI 匯流排所開發的應用程式、作業系統與硬體之驅動皆無須修改即可正常啟動執行。

此外 PCI Express 並且支援熱插拔控制功能、電源管理、先進錯誤回報、虛擬通道、通信應用中所需的服務品質(quality-of-service, QoS)....等諸多領先於現有 PCI 匯流排之技術。

因此基於獲得廣泛使用的 PCI 技術、滿足高頻寬需求、性能優異且成本低廉的眾多優點，PCI Express 可望延續 PCI 匯流排介面而成為下一代匯流排之標準，並將現今電腦的匯流排架構帶入另一新的時代。

結語

如同 PCI 匯流排之演進歷史一樣，PCI Express 自 2002 年正式推出以來，便循序漸進的取代現有 PCI 匯流排的電腦系統架構。目前，PCI Express 正努力成為深受人們歡迎之技術，並廣泛地擴展其商用領域，而 Intel 和 Dell 等大公司的推動投資也進一步加強了 PCI Express 介面標準的普及。

然而儘管許多電腦廠商的 PCI Express 產品已開始進入市場，不過現有電腦使用者的 PC 絕大多數仍為 PCI 與 AGP 匯流排之架構，值此新舊世代交接的過渡時期，預料 PCI 與 PCI Express 仍將會有一段不短的日子共存於市場上。

在運動控制領域，採用 PCI 介面的運動控制卡應用了 PCI Bus 之優點，其所具即插即用能力使得與 IPC 間溝通的初始化可由系統軟體自動組態、配置所需資源，不必再由使用者負擔操作資源設定之工作。而由於對 PC 介面傳輸速度的提升不若多媒體設備來得迫切，加上工業界對控制核心產品使用的熟悉性與延續性之需求，因此取代 PCI 匯流排介面的 PC-Based 運動控制卡也許並不會於短期內出現，但 PCI Express 可縮放的高傳輸頻寬、應用範圍廣泛與功能強大的潛力，仍可視為未來發展運動控制卡時所將採用的新一代介面標準。

參考文獻

1. ASIC-Based PCI 介面運動控制卡與運動控制軟體元件研討會講義, 工研院機械所, 1999
2. PCI Bus 運動控制模組技術分析, 張盈喬, 機械工業雜誌 217 期, 114-124, 2001
3. PCI Special Interest Group (PCISIG), www.pcisig.com
4. PCI Local Bus Specification Revision 2.2 PCISIG, 1998
5. PCI Local Bus Specification Revision 2.3, PCISIG, 2001
6. PCI 9052 Data Book Version 2.0, PLX co., 2001
7. PCI System Architecture 4th Edition, Tom Shanley, MindShare Inc., 1999
8. Plug and Play System Architecture, Tom Shanley, MindShare Inc., 1995
9. PCI Hardware and Software: Architecture and Design, Edward Solari and Georeg Willse, Annabooks, 1998
10. EPCIO-6000/6005 硬體使用手冊, 工研院機械所機電控制部, 2005
11. Creating a Third Generation IO Interconnect, Ajay V. Bhatt, Desktop Architecture Labs, Intel Corporation,
12. PCI EXPRESS TECHNOLOGY, Jim Brewer, Joe Sekel, Dell Inc., 2004
13. PCI Express: An Overview, Jon "Hannibal" Stokes,
<http://arstechnica.com/articles/paedia/hardware/pcie.ars>, July 07, 2004
14. Brief Introduction to PCI , The Zana Zen ,
<http://www.evilbitz.com/2006/10/28/brief-introduction-to-pci-part-i/>, 2006